

【社内整理番号】 2025-111

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 靱島 孝史

【企業名】 石川サンケン株式会社

【住所】 石川県羽咋郡志賀町梨谷小山ハ-5 番地

【発明者】 松井 洋誠

【発明の名称】 半導体製品表面配線によるサーミスタ実装方法

【技術の詳細】

1. 従来技術の説明

MOS や IGBT といった発熱しやすいパワー半導体素子の過熱を防ぐため、PKG 内にサーミスタを組み込み、温度監視を行う技術が知られている。しかしながら、サーミスタは出力端子への電氣的接続が必要であるため、配線構造上、温度監視対象となる半導体素子から離れた位置に配置される構成が一般的である。

2. 従来技術の問題点

しかしながら、従来構造では以下の課題がある。

- ・サーミスタが監視対象の半導体素子から離れて配置されるため、両者間に存在する接合材や樹脂等の影響により、実際の素子温度との間に誤差が生じる。
 - ・サーミスタの設置スペースを確保する必要があるため、PKG の平面方向の小型化（シュリンク）が困難である。
 - ・サーミスタを監視対象に直接接触させた場合、出力端子との接続を確保することが構造的に困難となり、また PKG 内部の構成部材が増えて厚みが増大するという問題がある。
- この結果、温度検出精度と小型化の両立が困難であるという課題がある。

3. 今回の発明の構造

（1）従来技術との相違点

本発明では、LDS（Laser Direct Structuring）めっき方式を用いて、PKG 表面に電気配線を形成する構成を採用している。これにより、サーミスタを温度監視対象の半導体素子に直接接触させた状態で配置しつつ、PKG 表面側を経由して出力端子へ電気接続することを可能としている点に特徴がある。

すなわち、従来のように内部配線に依存するのではなく、PKG 表面を利用した 3 次元配線構造を採用している点で相違する。

（2）メカニズム

半導体素子の温度を正確に測定するためには、発熱源からサーミスタまでの熱伝達が適切に行われることが重要である。従来構造では、サーミスタと半導体素子との間に樹脂やリードフレーム等が介在していたため、熱伝達経路が長くなるとともに、熱伝導率の低い材料を介することにより熱抵抗が増大していた。このため、半導体素子の温度がサーミスタへ伝達される際に温度差および応答遅れが生じ、測定誤差が発生していた。

これに対し、本発明では、サーミスタを半導体素子に直接接触させる構成としている。これにより、熱伝達経路が短縮されるとともに、介在層が極力排除されるため、両者間の熱抵抗が低減される。

その結果、半導体素子の温度がサーミスタへより正確かつ迅速に伝達されるようになり、温度差および応答遅れが抑制されることで、測定温度の誤差を低減することができる。さらに、従来はサーミスタを半導体素子に直接接触させた場合、内部配線構造により出力端子への電気接続を確保することが困難であったのに対し、本発明

では LDS めっき方式による PKG 表面配線を採用することで、サーミスタを直接配置した状態でも出力端子への電気接続を確保することが可能となる。

これにより、従来の構造的制約を解消しつつ、高精度な温度検出と PKG の小型化とを両立することができる。

（３）発明の具体例（最適実施例）

図 1 に本発明に係る半導体装置 100 の実施形態を示す。

図 1（a）に示すように、本実施形態では、半導体素子 2（温度監視対象）の上面にサーミスタ 3 が配置されており、両者は接合層 8 を介して直接接触する構成となっている。これにより、半導体素子 2 で発生した熱がサーミスタ 3 へ効率よく伝達される構造となっている。

サーミスタ 3 はサーミスタ電極 3 a を有しており、このサーミスタ電極 3 a は、封止樹脂 5 の表面に形成された表面配線 7 を介して出力端子 4 に電氣的に接続されている。

この表面配線 7 は、レーザー照射箇所 6 において封止樹脂 5 中の金属化合物を露出させた後、めっき形成することにより得られるものであり、いわゆる LDS（Laser Direct Structuring）めっき方式によって形成されている。これにより、従来の内部配線構造に依存することなく、サーミスタ 3 を半導体素子 2 に直接配置した状態においても電気接続を確保することが可能となる。

図 1（b）に示すように、表面配線 7 は封止樹脂 5 の表面に限らず、封止樹脂 5 の側面を経由して形成することも可能であり、そのまま外部接続部 9 を介して実装基板 10 へ接続する構成とすることもできる。このように、本発明では三次元的な配線構造が実現可能であり、設計自由度を向上させることができる。

このように構成することで、従来は内部配線構造により困難であったサーミスタ 3 の直接配置と電気接続とを両立することが可能となり、熱抵抗の低減による高精度な温度検出と、小型化とを同時に実現することができる。

【符号の説明】

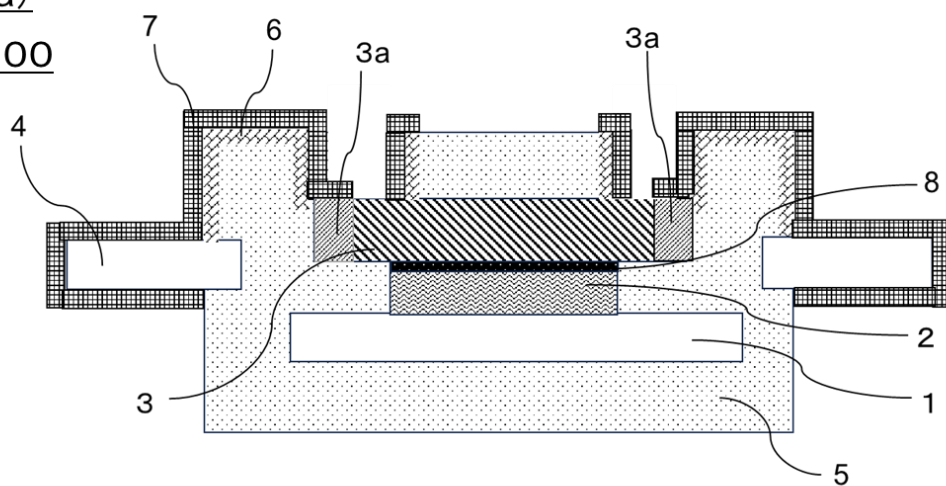
1…ダイパッド、2…半導体素子（温度監視対象）、3…サーミスタ、3 a…サーミスタ電極、4…出力端子、5…封止樹脂、6…レーザー照射箇所、7…表面配線（LDS 配線）、8…接合層、9…外部接続部、10…実装基板、100…半導体装置

(4) 図面

【図1】

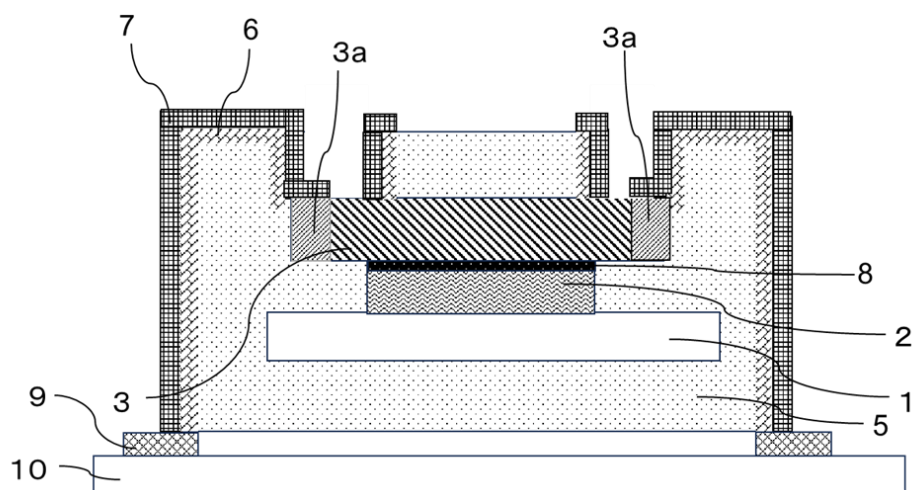
(a)

100



(b)

100



以上。

【社内整理番号】 2025-127

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 大村 英一、松尾 哲二

【発明の詳細】

1. 背景技術

リフレクタパーツを有する発光装置の技術が下記特許文献に記載されている。

特許文献：日本特許 5393802 号

2. 発明が解決しようとする課題

上記特許文献においては、発光素子の側面から出る光が有効に取り出せない。そこで、発光素子の側面から出る光を有効に取り出すことができ、発光効率が高く、指向性が安定した発光装置を提供することを目的とする。

3. 発明の実施形態

発明の実施形態の発光装置は、図 1 で示すように、発光素子 (LED) を基板に搭載した後に、発光エリアを特定する枠体が設けられている。

枠体は略垂直であって発光素子の側面と対向する第 1 の側面と、上方に向かって開口する反射面を有する第 2 の側面とを有する。第 1 の側面は発光素子搭載部分が開口され、上方から平面的に見て、発光素子の形状と相対的に類似形状となっていてよい。ここで、第 1 の側面の高さは搭載した発光素子の上面若しくは光出射面とほぼ同じ高さであってもよい。また、第 1 の側面と発光素子との基板表面と平行な隙間は 0.5 mm 以下としてもよい。そして、図 2 の発光装置の変形例 1 で示すように、発光素子と第 1 の側面との隙間に、酸化チタン (TiOx) などを含む反射性樹脂を充填してもよい、このとき、基板に搭載した発光素子の上面の高さまで充填してもよい。また、図 3 の発光装置の変形例 2 で示すように平面的に見て、第 1 の側面と第 2 の側面との間に発光素子と接続される電気配線の形状と略同一の開口拡大部を設けてもよい。

また、図 4 の変形例 3 の発光装置の断面図で示すように、枠体の第 1 の側面は上方に向かって狭くなる逆テーパ形状や順テーパ形状にしてもよい。また、上方から平面的に見て、枠体の第 2 の側面は円形、楕円形、四角形状でもよい。また、枠体内に複数の発光素子を搭載してもよいし、第 2 の側面の枠体よりも内側に複数の第 1 の側面の枠体が設けられていてもよい。この時、図 5 の変形例 4 の発光装置の平面図で示すように、内空断面のトンネルが第 1 の側面の枠体間に設けられていてもよい。

4, 図面

図1 発明の実施形態の発光装置の平面図（上）と断面図（下）である。

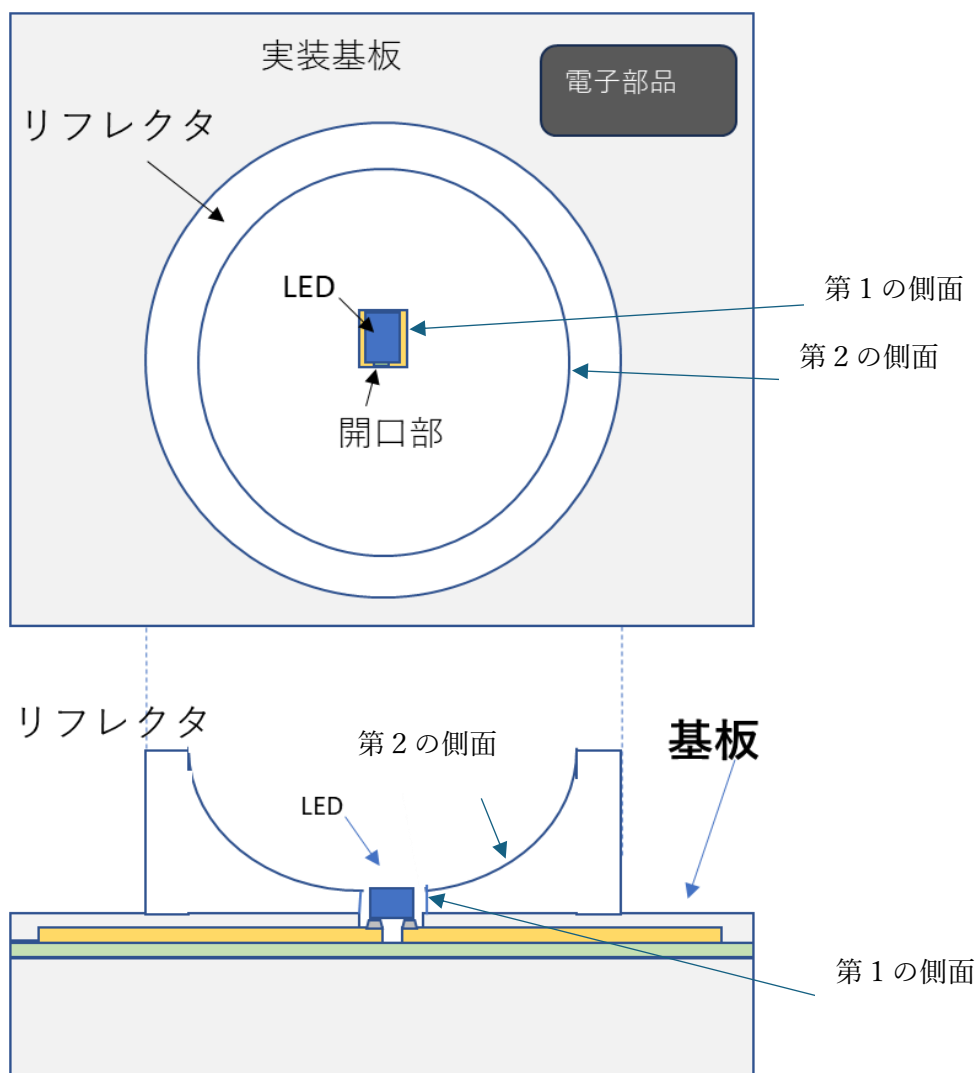


図2 発明の実施形態の発光装置の変形例1の断面図である。

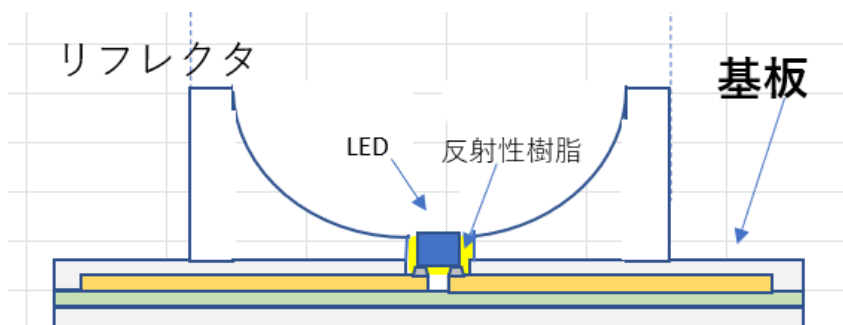


図3 発明の実施形態の変形例2の発光装置の平面図である。

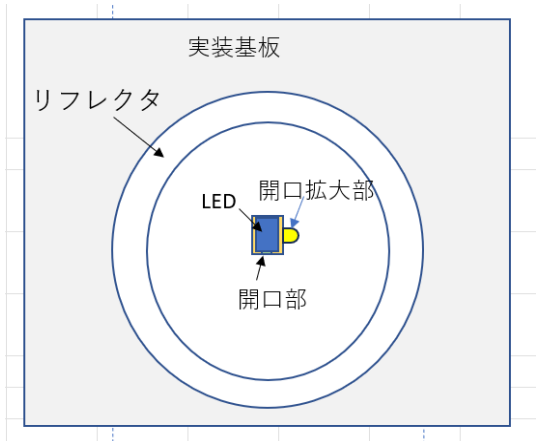


図4 発明の実施形態の変形例3の発光装置の断面図である。

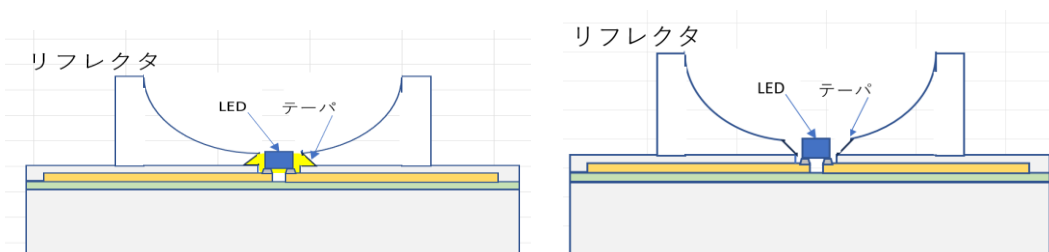
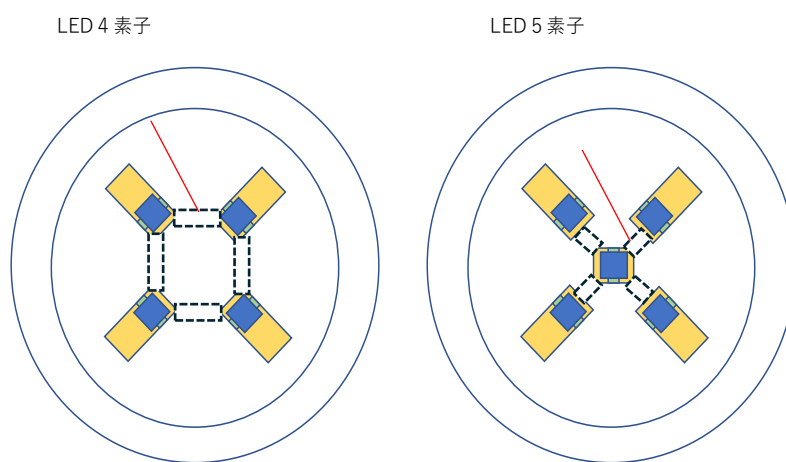


図5 発明の実施形態の変形例4の発光装置の平面図である。



LED 4 素子

LED 5 素子

【社内整理番号】 2025-108

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 細谷 裕

【発明者】 川真田 浩章

【発明の名称】 磁気結合度により出力電圧比を調整可能な複数出力チョッパ回路

【技術の詳細】

1. 類似する先行技術

【参考文献①】: JP2004-173434

2. 先行技術の構造・構成、製法、回路動作などの説明

例えば、JP2004-173434 には、チョッピングによって直流入力電力をパルス状に変換し、このパルス状電力を多出力平滑インダクタによって平滑し、直流出力電力を得る DC-D C コンバータにおいて、少なくとも 1 つの従出力回路が多出力平滑インダクタに設けられた出力平滑インダクタ従巻線から所望の出力電圧を得ることを特徴とする多出力 DC-D C コンバータが開示されている。2 つのインダクタを並列に用いた構成に比べて、JP2004-173434 は、2 つのインダクタを用いるが、並列の構成になっていない。但し、2 つのインダクタは、結合されている構成となっている。

3. 先行技術の問題点

先行技術である JP2004-173434 の図 1 には、2 つのインダクタを並列に用いた構成と比較して、多出力で、比較的的小型安価な DC-D C コンバータに関する構成が開示されている。しかしながら、多出力のそれぞれの 2 つ電圧値に関しては、特に言及はない。つまり、インダクタを 2 つ使った並列構成を、同程度の機能を持ち、如何に安く構成することに着目した技術であって、複数の出力電圧値を個別に、または所望の電圧比となるように設定する技術については開示されていない。

4. 今回の発明の詳細

(1) 先行技術との相違点

本提案では、先行技術に対し、トランスを使用しないチョッパ方式のコンバータという点では、共通している。しかし、複数のインダクタ間の磁気結合度または漏れインダクタンスを設定することにより、複数出力間の電圧比を所望の値に調整する構成については開示していない。

(2) 発明の実施形態例

図1は、実施形態における電源回路を説明するために、電源ラインを示す模式図である。単出力チョップに数点の部品を追加することによって整数倍のサブ出力を取り出すことを特徴としている。回路構成としては、図1に示した通りであり、共通ライン（図中のCOM）に対し、例えば、第1の出力電圧（図中のOUT1）は6V、第2の出力電圧（図中のOUT2）は12Vで、第1の出力電圧と第2の出力電圧の関係は整数倍（2倍）とする。従来構成では、OUT1が6Vの場合にOUT2が12Vとなるように、出力電圧比が1:2に固定される。これに対し、本実施形態では、L1とL2との磁気結合度を調整することにより、OUT2を例えば9Vから12Vの範囲で設定できる。これにより、整数倍に固定されない出力電圧比を実現できる。回路図に示されている2つのインダクタであるL1およびL2は磁氣的に結合されている。ここで、Llkを漏れインダクタンス、Lmを主インダクタンス、kを結合係数とすると、Llkを小さくして結合係数kを大きくすることにより、OUT1とOUT2との出力電圧比を変化させることができる。リーケージインダクタンスが小さいほど、L1とL2との磁気結合度は大きくなる。一方、リーケージインダクタンスが大きいほど、L1とL2との磁気結合度は小さくなり、各インダクタは互いに独立したインダクタに近い動作となる。L1（リーケージインダクタンス＝結合度に相当）が大きい時はお互いの干渉がないので独立した2つのLとして動作する。この時の電圧比1:2→今までと同じである。L1を小さく（結合を良く）していくと、L1がLm（メイン回路のLのインダクタンス）の半分ぐらいから電圧比のバランスが崩れてくる。

図2は、結合度を変える方法としては、従来は出力電圧の変動要因として扱われていたコイル間の磁気結合を、出力電圧比を調整するための設計パラメータとして積極的に利用する。インダクタ間の結合を積極的に使うことにより、今までできなかった出力電圧比の可変ができるようになる。

図3は、結合度合いの変化による出力電圧比（ V_2/V_1 ）を示す。結合度を大きくすると、電圧比は1.5倍となり、 V_1 が6Vであるならば、 V_2 は9Vになる。つまり、結合度合いを調整することで、 V_1 の6Vに対して、 V_2 は、9V～12Vまで、変化させることが出来る。これにより、所望の電圧に可変することが出来る。

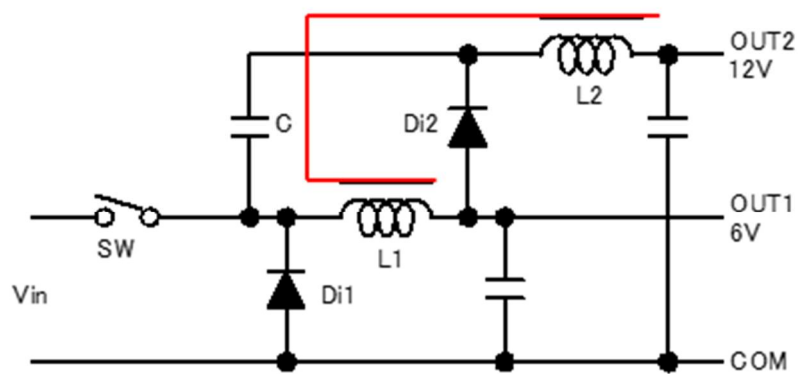
図4は、本実施形態に関わる出力チョップにおける磁気結合の調整例を示す。例えば、2つのインダクタを並べる構成に対し、上に磁気棒を付ける、又は、基板の裏に磁気棒を付ける、又は、横型のドラムにとりに棒を付ける、などして、磁気結合の度合いを直接的に、変更しても良い。

図5は、比較例1を示す。比較例1は、トランスを用いず、2つのコイルの磁気結合により複数の出力を得るチョップ回路である。ただし、出力1（従出力）と出力2（主出力）との電圧比を、磁気結合度または漏れインダクタンスにより調整する構成については開示されていない。

図6は、比較例2を示す。比較例2は、多出力のチョップ回路であって、 V_1 に対し、 V_2 が整数倍の出力電圧となる構成である。2つのコイルは独立しており、電圧比は固定され

ている。

(3)図面



2出力チョップの2つのLを磁気結合する

図1：本実施形態

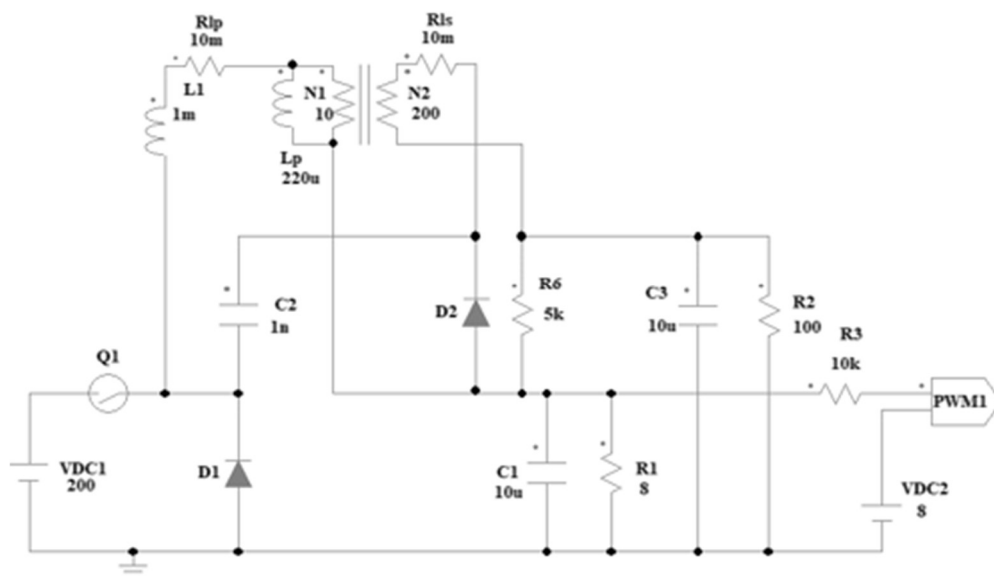


図2：磁気結合の度合いを変える具体的な回路

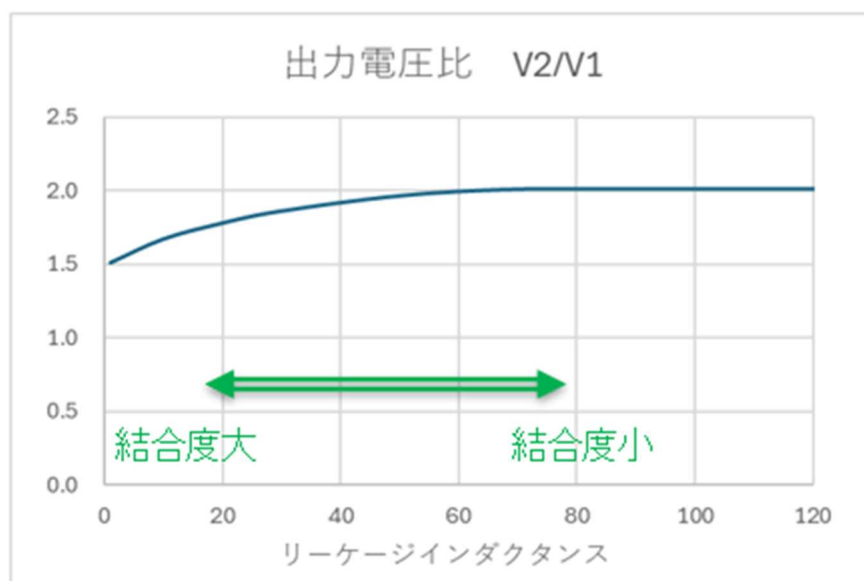


図 3：結合度の変化による出力電圧比 ($V2/V1$)

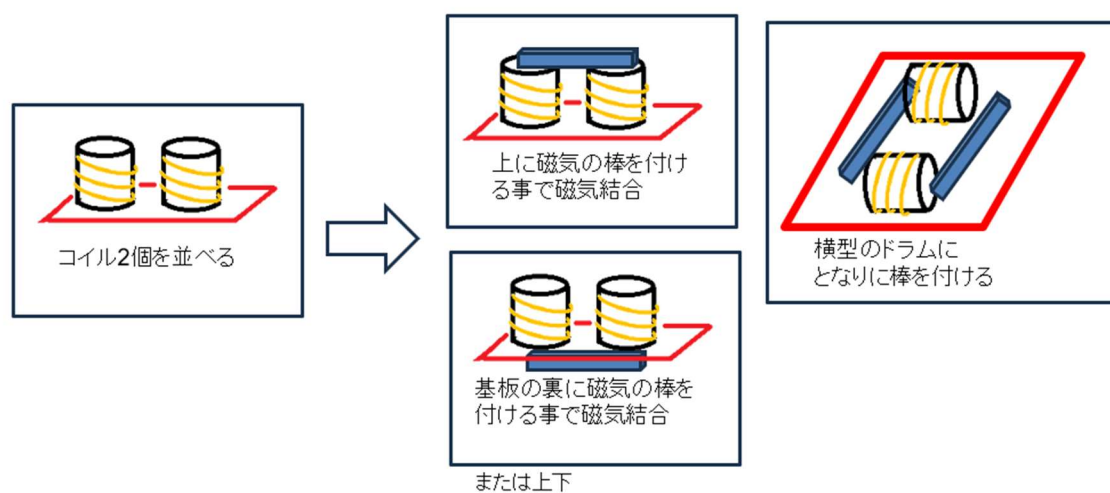


図 4：出力チョッパにおける磁気結合度の調整例

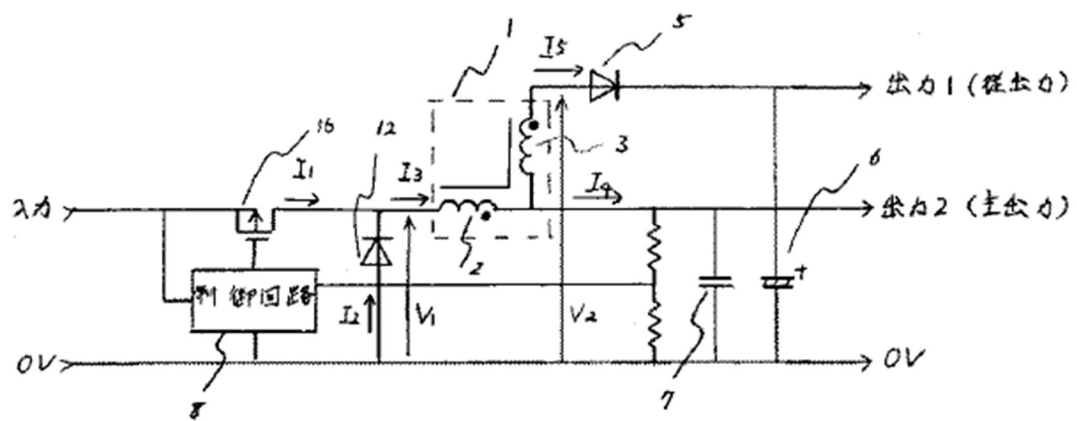


図 5：比較例 1

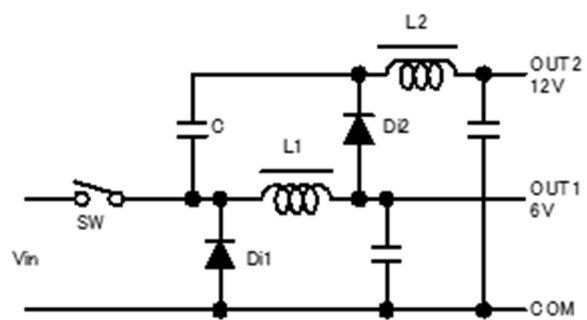


図 6：比較例 2

【社内整理番号】 2025-114

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 細谷 裕

【発明の名称】 2 出力チョッパ回路および電源装置

【技術の詳細】

1. 類似する先行技術

【参考文献①】: JP2026-103963

2. 先行技術の構造・構成、製法、回路動作などの説明

例えば、先行技術である JP2026-103963 には、低コスト多段チョッパに僅かな部品を追加する程度の安価な構成で、入力電圧よりも小さな少なくとも二つの整数倍の出力電圧を発生させる電源回路を提供する構成が開示されている。基本的な構成は整数倍であるが、ダイオードを追加する位置を回路上で工夫することで、整数倍ではない電圧を出力できる構成も、開示されている。

3. 先行技術の問題点

先行技術である JP2026-103963 の図 1 には、多出力で、比較的に小型安価な DC-DC コンバータに関する構成が開示されている。先行技術では、ダイオードを追加することにより、2 出力間の電圧比を整数倍から若干変更することが可能である。しかし、ダイオードの追加のみにより電圧比を変更する構成では、所望の電圧比からのずれをダイオードの導通経路で調整することになる。このため、出力電流が大きい場合にはダイオードの導通損失が増加し、回路全体の効率が低下しやすい。また、大きな電圧比変更を行う場合には、ダイオード追加のみでは調整範囲が限定される。

4. 今回の発明の詳細

(1) 先行技術との相違点

これに対し、本発明では、主インダクタに対して補助インダクタを直列に追加し、さらに補助インダクタと主インダクタとの接続点にダイオードを接続する。これにより、インダクタンス比に応じて複数出力間の電圧比を変更でき、ダイオード追加のみの場合に比べて高効率に所望の電圧比を得ることができる。従来、2 出力チョッパで、わずかな部品の追加で多出力化できる構成が提案され、整数倍の電圧比しかとれなかった。更に、ダイオードを用いて、多少、電圧比を整数倍から、変更する手段が開示されていた。一方、実際のアプリケーションでは、低電圧回路ではマイコン系には 5 または 3.3 V が必要であり、周辺機器には 1.2 または 1.5 V が一般的な電圧である。3.3 V と 1.5 V の組み合わせでは、電圧比が

大きく、ダイオードを追加するだけで電圧比を変えるのでは、効率が良くなかった。そこで、このギャップを埋めるために、効率良く電圧比を変更できる回路案を発明した。L3（補助コイル）を追加する。L3 とダイオードを接続する位置によって、2 倍の電圧比だったものを、更に上げるか、または下げるか、の動作をする。複数巻線を有するトランスを用いれば、複数の出力電圧を得ること自体は可能である。しかし、トランスを用いる構成では、部品が大型化または特殊化しやすく、出力電圧比も主として巻数比により決定される。このため、所望の電圧比に柔軟に対応するには設計自由度が制限される。

（2）発明の実施形態例

図 1 は、本実施形態のその 1 に関わる 2 出力チョッパ分割 L による電圧比変更の具体的な例を示す。その 1 では、電圧比が 2 倍以下の場合の例を示す。L 3 のコイルを追加する位置を特徴とする。メイン回路のインダクタ（L 1）に、直列に L 3 を追加し、L 1 と L 3 の比で電圧比を可変する。この構成では、L 1 と L 3 の間にダイオード（D 2）を接続するのがポイントとなっている。

図 2 は、図 1 における L 3 のコイルの大きさを変更した場合の電圧比を示す。L 値を大きくすることで、電圧比が変化させることが出来る。この回路構成で、L 3 を追加しなければ、電圧比は 2 倍のままであるが、L 3 を追加することで、2 倍から、1.5 倍または、それ以下に電圧比を変更することが出来る。L3 のインダクタンス値を大きくすることで、電圧比を変化させることができる。

図 3 は、本実施形態のその 2 に関わる 2 出力チョッパ分割 L による電圧比変更の具体的な例を示す。その 2 では、電圧比が 2 倍以上の場合の例を示す。L 3 のコイルを追加する位置を特徴とする。メイン回路のインダクタ（L 1）に、直列に L 3 を追加する。図 1 とは違い、L 1 の前段 L 3 を追加する。この構成では、L 1 と L 3 の間にダイオード（D 1）を接続するのがポイントとなっている。図 3 の構成では、主インダクタ L1 の入力側に補助インダクタ L3 を直列に接続し、L1 と L3 との接続点にダイオード D1 を接続する。これにより、L1 と L3 のインダクタンス比に応じて、第 2 出力電圧に対する第 1 出力電圧の比を 2 倍超側に調整することができる。

図 4 は、図 3 における L 3 のコイルの大きさを変更した場合の電圧比を示す。L 値を大きくすることで、電圧比が変化させることが出来る。この回路構成で、L 3 を追加しなければ、電圧比は 2 倍のままであるが、L 3 を追加することで、2 倍から、3 倍または、それ以上に電圧比を変更することが出来る。

図 5 は、本実施形態の従来技術（その 1）である。トランスを用いず、複数の出力を持つチョッパ回路である。電圧比は、2 倍に固定されている。少ない部品追加で、2 倍の電圧出力を追加できる点に特徴がある。

図 6 は、本実施形態の従来技術（その 2）である。トランスを用いず、複数の出力を持つチョッパ回路である。電圧比は、ダイオードを追加することで、2 倍から変更できる。少ない部品追加で、2 倍の電圧出力を、更にダイオードを使い、若干の電圧比の変更ができる点

に特徴がある。

(3)図面

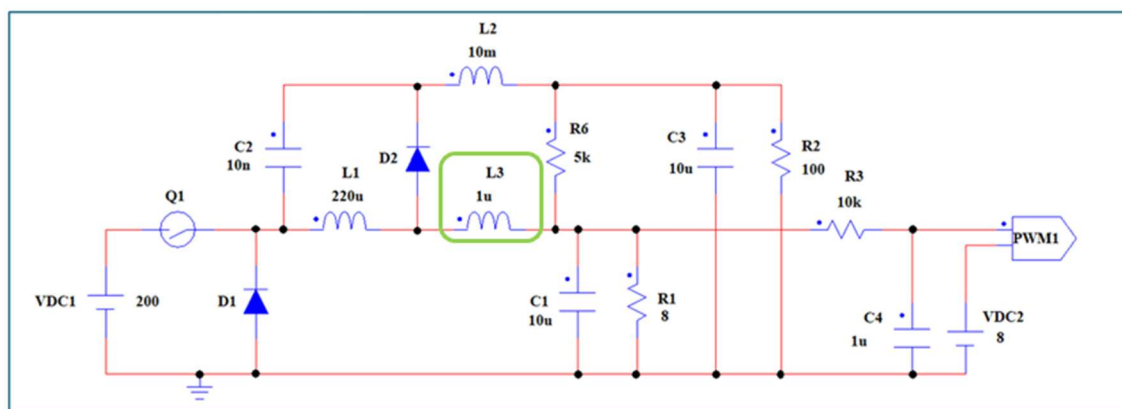


図1：本実施形態のその1（降圧の場合）

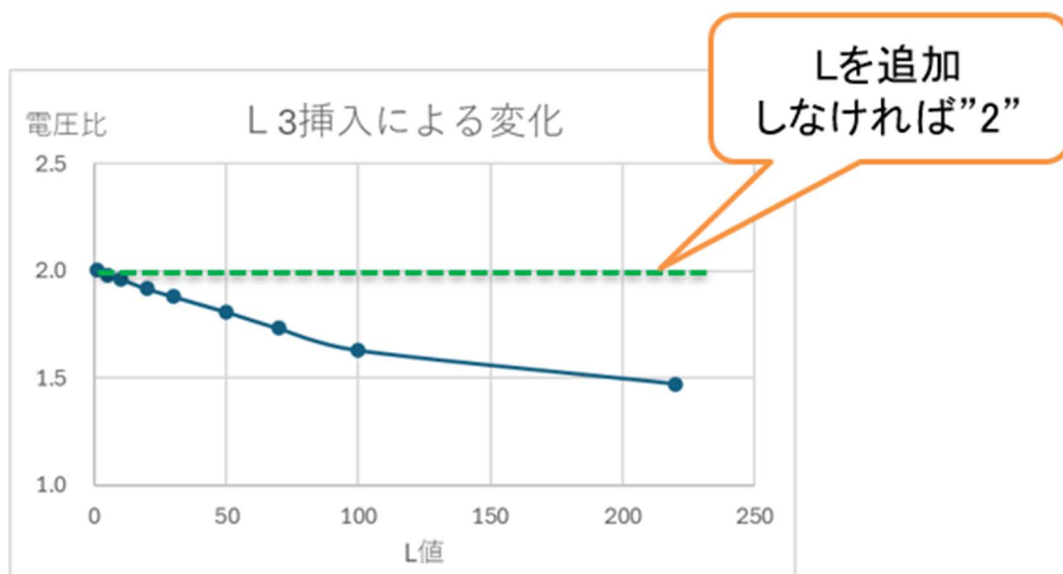


図2：降圧の場合の電圧比

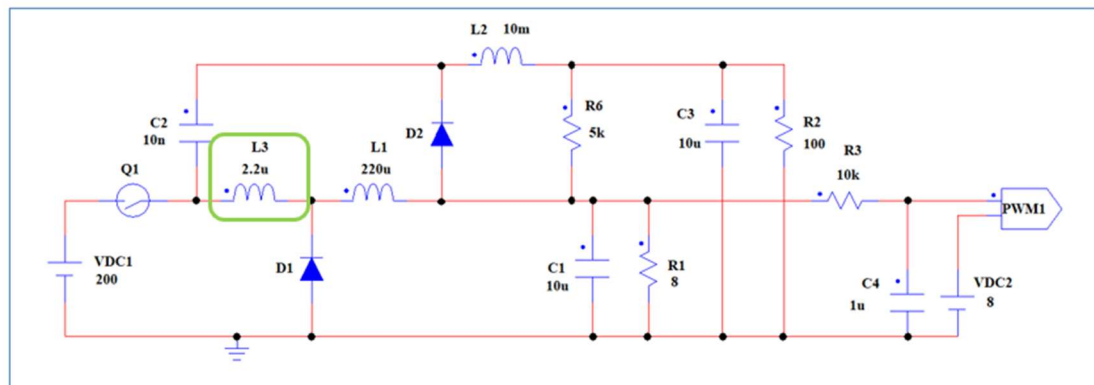


図 3： 本実施形態のその 2（昇圧の場合）

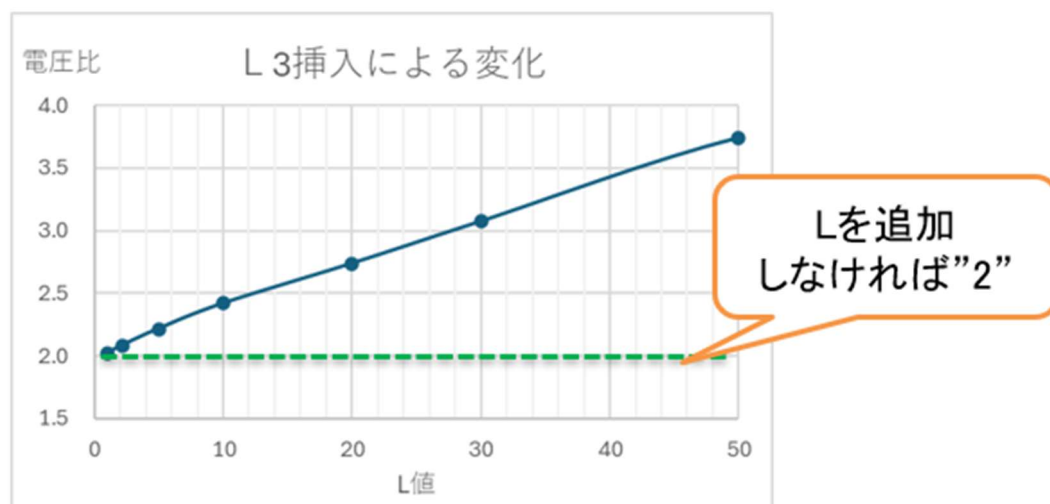


図 4： 昇圧の場合の電圧比

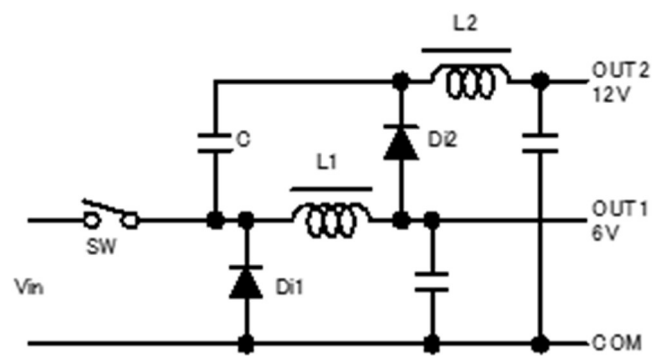


図 5：従来技術（その 1）

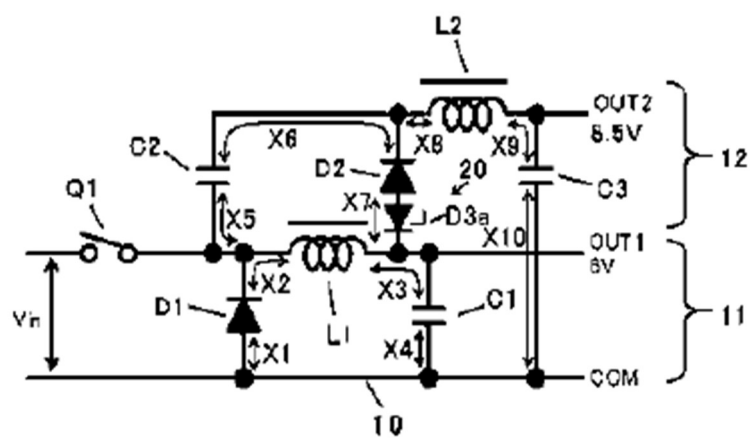


図 6：従来技術（その 2）

【社内整理番号】 2025-172

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 細谷 裕

【発明者】 川真田 浩章

【発明の名称】 昇圧出力機能を備えた多出力チョッパ回路

【技術の詳細】

1. 類似する先行技術

【参考文献①】: JP2026-103963

2. 先行技術の構造・構成、製法、回路動作などの説明

例えば、先行技術である JP2026-103963 には、低コスト多段チョッパに僅かな部品を追加する程度の安価な構成で、入力電圧よりも小さな少なくとも二つの整数倍の出力電圧を発生させる電源回路を提供する構成が開示されている。基本的な構成は整数倍であるが、ダイオードを追加する位置を回路上で工夫することで、整数倍ではない電圧を出力できる構成も、開示されている。

3. 先行技術の問題点

先行技術である JP2026-103963 の図 1 には、多出力で、比較的に小型安価な DC-DC コンバータに関する構成が開示されている。また、ダイオードの追加によって、2 つの出力電圧の電圧比を変更できる構成である。但し、少しだけ電圧を変えたいならば、このダイオードの追加が好ましいが、大きく電圧比を変更したい、電流が大きい場合、単にダイオードを追加するだけでは、高効率を求めることが出来ない。3.3V と 15V の組み合わせでは電圧比が大きく、ダイオード追加だけでは効率が良くなかった。そこで効率良く電圧比を変更できる回路案を発明した。

4. 今回の発明の詳細

(1) 先行技術との相違点

本提案では、従来、2 出力チョッパで、わずかな部品の追加で多出力化できる構成が提案され、整数倍の電圧比しかとれなかった。更に、ダイオードを用いて、多少、電圧比を整数倍から、変更する手段が開示されていた。一方、実際のアプリケーションでは、低電圧回路ではマイコン系には 5 または 3.3V が必要であり、周辺機器には 1.2 または 1.5V が一般的な電圧である。3.3V と 1.5V の組み合わせでは、電圧比が大きく、ダイオードを追加するだけで電圧比を変えるのでは、効率が良くなかった。そこで、このギャップを埋めるために、効率良く電圧比を変更できる回路案を発明した。従来の回路構成を見直し、第 1 インダ

クタと第2インダクタを見直し、エネルギー転送経路を最適化する位置関係を提案する。

(2)発明の実施形態例

図1は、チョップパ回路の一具体例である。チョップパ回路の一般的な動作を簡単に説明する。SWがONになると、電源(V_{in})からのエネルギーはインダクタ($L1$)を介して、負荷に流れる。そのとき、 $L1$ にエネルギーが蓄えられる(図1の①の流れ)。更に、SWがOFFになると電源からの電流は遮断されるが、 $L1$ に逆起電力が発生し、その電圧の出力が、コンデンサ($C1$)及び、コンデンサ($C2$)を充電する(図1の②、③の流れ)。この逆起電力は、SWのDutyによって変化する。また、 $C2$ に蓄えられたエネルギーはICの電源として利用出来る(図1の④の流れ)。 $C2$ の電圧は $L1$ からの充電なので、同じように $L1$ から充電された $C1$ の電圧と同じであるとなる。したがって、 $C2$ の電圧を用いて、フィードバック制御することによって、出力電圧を安定化させることが出来る。

図2は、図1に示したチョップパ回路の一具体例のタイミング波形を示す図である。 V_{sw} は、SWのON/OFFを示している。それに対応して、 $L1$ に印加される電圧を示す V_{L1} が示されている。また、 $L1$ を流れる電流は I_{L1} で示される。 V_{C1} 、 V_{C2} は、コンデンサ $C1$ 、 $C2$ に印加される電圧であり、 I_{C2} は、コンデンサ $C2$ から流れる電流を示している。

図3は、多出力チョップパ回路の一具体例である。図1のチョップパ回路から、更に、 $L2$ と $C3$ が追加され、2番目の出力端子であるSub端子が追加されている。多出力チョップパ回路の一般的な動作を簡単に説明する。図3のSWがONになると、電源からのエネルギーは $L1$ を通してMain端子に流れ、同時に $L1$ にエネルギーを蓄える。図3の①で示される。本回路では、この時に、 $C2$ を通して $L2$ にも電流が流れエネルギーを蓄える。図3の⑤で示される。次に、SWがOFFになると電源からの電流は遮断されるが、 $L1$ に逆起電力が発生し、 $C1$ 、 $C2$ を充電する。図3の②③で示される。

$L1$ に逆起電力が発生する時に、 $L2$ にも同様な逆起電力が発生する。この起電力は $D1$ 、 $L1$ 、 $D2$ を通して $C3$ を充電しSubに出力される。図3の⑥で示される。 $L1$ と $L2$ は同じ時間エネルギーを蓄えたので、理想的条件下では $C3$ には $C1$ の略2倍の電圧が発生する。

図4は、図3に示した多出力チョップパ回路の一具体例のタイミング波形を示す図である。 V_{sw} は、SWのON/OFFを示している。それに対応して、 $L1$ 、 $L2$ に印加される電圧を示す V_{L1} 、 V_{L2} が示されている。また、 $L1$ を流れる電流は I_{L1} で示される。 I_{C2} は、コンデンサ $C2$ から流れる電流を示している。

V_{C1} 、 V_{C2} 、 V_{C3} は、コンデンサ $C1$ 、 $C2$ 、 $C3$ に印加される電圧であり、 V_{C3} は、 V_{C1} 、 V_{C2} の2倍の電圧となっており、図3で示されたSub端子から、Main端子の2倍の電圧を出力することを示している。

図5は、Sub端子から昇圧電位を出力可能な多出力チョップパ回路の一具体例である。図1

の回路から、ダイオード（D3）とコンデンサ（C4）とインダクタ（L2）を追加する。SWがONすると、コイルL1を流れる電流（ I_{L1} ）は、L1を通してC1およびMain端子（出力）へ流れ、同時に、L1にエネルギーを蓄積する（図5の①の流れ）。 V_{in} が高く、 V_{C3} （Sub端子（出力）） $< V_{in}$ であるなら、同時にL2，D3を通してC3およびSub端子（出力）へ流れる（図5の⑥の流れ）。SWがOFFになると、 V_{in} からの電流は遮断されるが、L1に逆起電力が発生し、D1を通してMain端子（出力）およびC1を充電する（図5の⑤の流れ）。この時、D1が順方向となり、A点の電圧はCOMに対しD1のVF程度まで下がる。すると、A点とB点間に電位差が生じ、②のルートでL2をチャージする。再びSWがONになると、A点の電位が上昇して②のルートは遮断されるが、この時、L2に逆起電力が発生し、 $V_{in} \rightarrow L2 \rightarrow D3$ のルートでSub（出力）およびC3を充電する（図5の⑥の流れ）。Sub端子（出力）の出力電圧は、 $(1/D) * V_{in}$ となる。Dはデューティ比で、PWM信号のON時間の割合であり、 $0 \leq D \leq 1$ （ $D = T_{on}/T$ ）であって、（ T_{on} ：ON時間、 T ：周期）となる。Dの値が小さいと、大幅に電圧を昇圧することが出来る。逆に、Dの値が大きくなっていくと、Sub端子（出力）の出力電圧が下がって行く。この構成により、 V_{in} に比べて、整数倍では無く、自由度の高い昇圧された出力電圧を得ることが出来る。デューティ比の調整により、所望の電位を得ることが出来る。

(3)図面

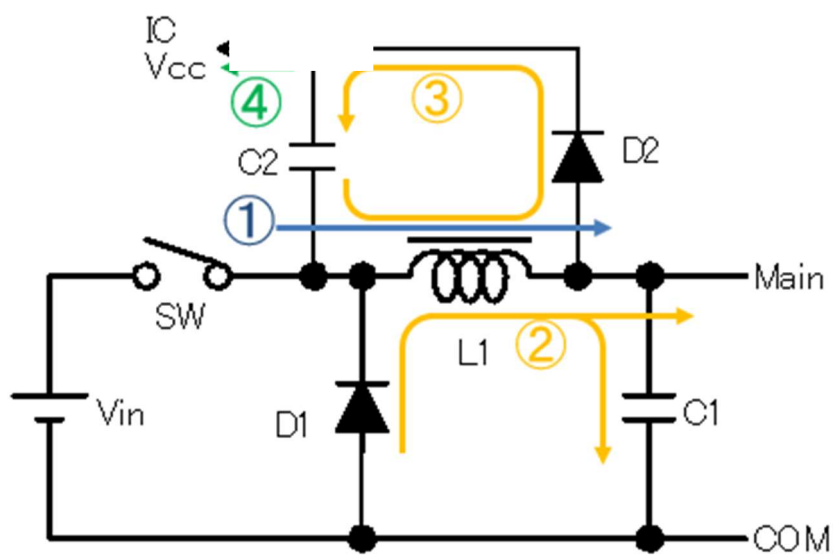


図 1：チョッパ回路の一具体例

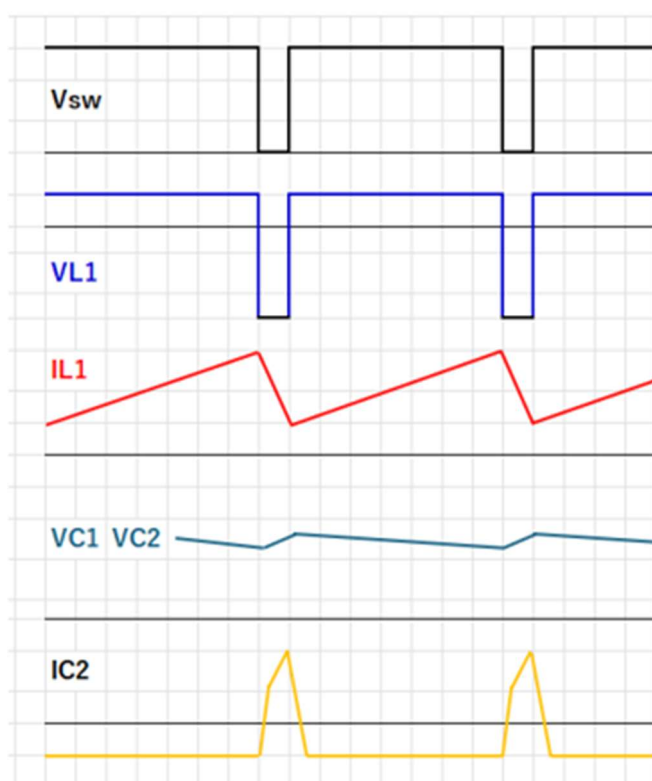


図 2：チョッパ回路の一具体例

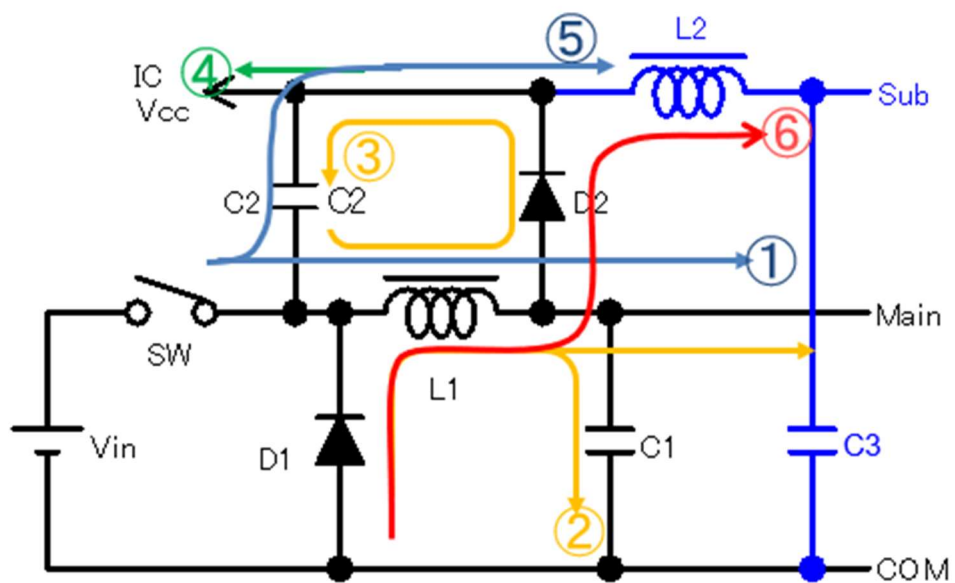


図 3：多出力チョッパ回路の一具体例

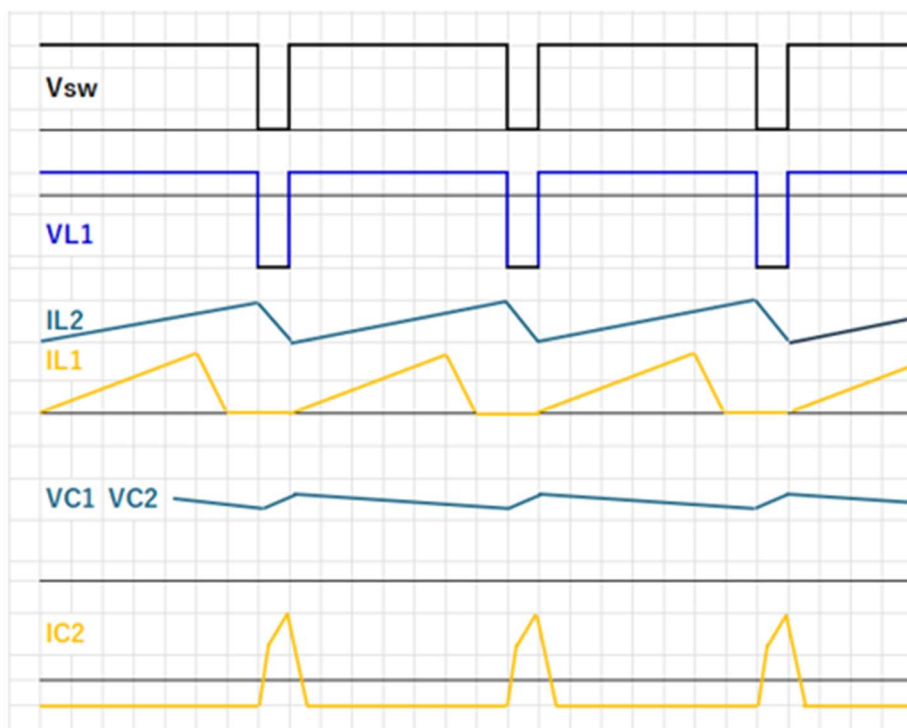
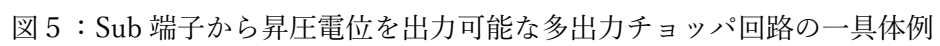


図 4：多出力チョッパ回路のタイミング波形



【社内整理番号】 2026-002

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 細谷 裕

【発明の名称】 複数出力を生成するチョッパ回路

【技術の詳細】

1. 類似する先行技術

【参考文献①】: US6862194

2. 先行技術の構造・構成、製法、回路動作などの説明

例えば、先行技術である参考文献① (US6862194) には、代表的なコンバータが開示されている。また、参考文献①の F I G 1 には、現在、よく知られたコンバータの基本的な構成が開示されている。2 次側から、一定の出力電圧を取ることができる構成であり、2 次側の出力電圧の状況を、フィードバック信号として、1 次側に送る。その際、1 次側と 2 次側には、大きな電位差があるので、光カプラを用いて、1 次側 2 次側が絶縁された間で、信号を送るのが一般的な構成となっている。

3. 先行技術の問題点

先行技術である参考文献① (US6862194) では、出力が大きい場合には、出力を増やしたい場合、トランスの巻き線を追加した方が好ましい。しかしながら、出力の小さなコンバータではトランスの巻き線を追加するのは、全体としては、回路規模が大きくなり、価格が上昇したり、ランス設計が複雑になったりするという言った問題が発生する。

4. 今回の発明の詳細

(1) 先行技術との相違点

本提案では、トランスに巻き線を追加するのではなく、わずかな部品の追加で、2 出力の FCC (フォワード・コンバータ) を提案する。提案では、キャパシタ 2 個と、ダイオード 1 個、コイル 1 個の 4 つの部品を追加することで、従来の出力と、追加の出力の 2 つを得ることが出来る。今回の例では、従来の出力が、例えば、6 V であれば、その 2 倍の 12 V が、追加の出力から、得ることが出来る。

(2) 発明の実施形態例

図 1 は、一般的な FCC である。一般的な FCC の一例では、交流電源から、ダイオードブリッジを介し、直流電源を得る。1 次側と 2 次側の間に、トランス巻線があって、トランスを流れる電流は、1 次側の F E T の O N / O F F 制御によって、制御される。図 1 に示し

たコンバータの動作については、一般的な技術であるので、詳細な説明は省略する。

図1の出力端子（OUT1：6V）には、リップルと呼ばれる完全な直流になりきれていない電圧変動が出力される。これは、FCCでは、FETのスイッチングに伴って、電流がゼロからピークまで増える。FETがON/OFFとスイッチが切り替わるたびに、トランスにエネルギーを貯める／放出する、という動きを周期的に繰り返すため、このエネルギーの出し入れがそのまま出力電圧の小さな波として現れる。

図2は、一般的なFCCに、OUT2をビルトインした回路である。具体的には、図1の単出力のFCCを、2出力のコンバータにしたものである。青い部品を追加することで、単出力から、2出力に変更することが出来る。比較的に、少ない部品の追加で、実現することが出来る。このとき、第2の出力（OUT2）は、第1の出力（OUT1）の第2出力は第1出力より高い電圧になる。一例として、OUT1が6Vで、OUT2が12Vの例を示す。また、第2の出力は、第1の出力の整数倍であれば、比較的に少ない部品で実現することができる。整数倍ではない場合は、具体的な回路はしめさないが、回路規模は大きくなるが、部品を追加することで可能となる。

図3は、非絶縁型の多出力チョップパ回路の具体例である。具体的には、図2を改良して非絶縁型の多出力チョップ化した回路である。図2ではトランス巻線を用いていたが、図3ではトランス巻線を削除した点にポイントがある。FCCから絶縁機能を取り除き、エネルギー蓄積機能だけを抽出した結果、2つのインダクタL1・L2方式になった。FETオン時にL1・L2へエネルギーを蓄え、FETオフ時にD1・D2を通じてそれぞれの出力コンデンサへエネルギーを放出することで、トランス巻線を追加せずにOUT1・OUT2を生成する。絶縁や巻数比によって出力を作るのではなく、スイッチングノードのオン／オフとインダクタのエネルギー蓄積・放出で出力を作っている。つまり、トランス巻線の代わりに、インダクタL1、L2が一時的に電荷を蓄える機能を持ち、D1、D2が逆流防止弁の機能を持ち、C1、C3が出力電圧の平均化する機能を持つ。スイッチング素子のオン期間に第1インダクタおよび第2インダクタにエネルギーを蓄積し、スイッチング素子のオフ期間に、各インダクタに蓄積されたエネルギーを対応する整流素子を介して第1出力および第2出力へ供給する。トランスの追加巻線を用いることなく、共通のスイッチング素子と複数のインダクタにより複数の出力電圧を生成することで、OUT1、OUT2を安定化して、出力することが出来る点に特徴がある。トランスおよび追加巻線を不要とするため、小型化、低コスト化、高実装密度化を実現できる。複数出力を単一のスイッチング素子で生成できるため、回路規模を抑制できると言った利点がある。

(3)図面

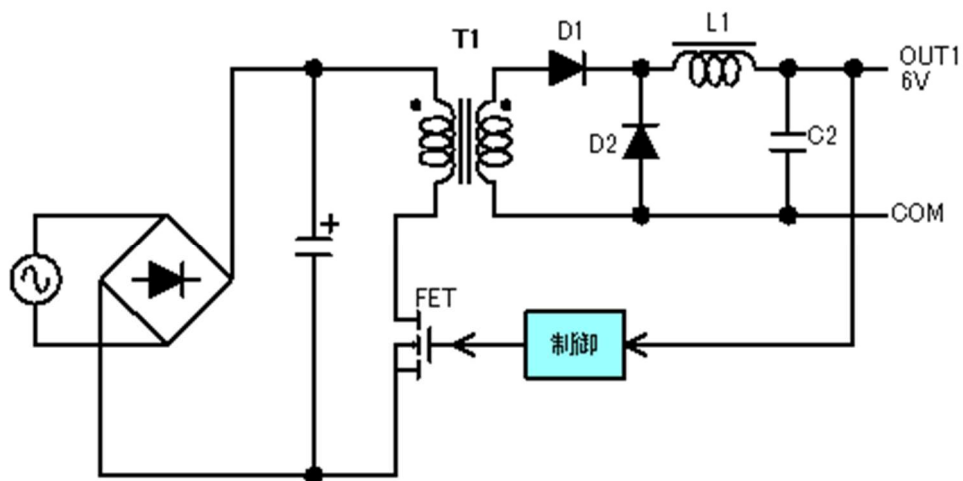


図 1：一般的な FCC

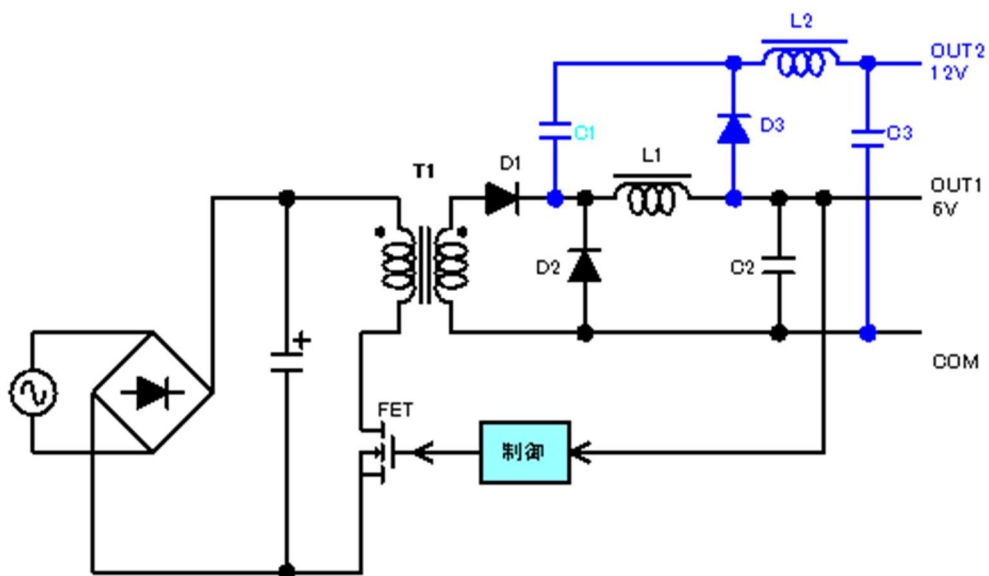
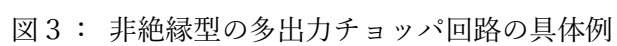


図 2：一般的な FCC に、OUT 2 をビルトインした回路



【社内整理番号】 2026-016

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 井上 隆

【発明の名称】 PWM入力信号ON時間モニタによるパワーデバイスのゲート制御機能

【技術の詳細】

1. 先行技術の構造・構成、製法、回路作などの説明

モータを駆動するための IPM(Intelligent Power Module)製品では、スイッチング素子である IGBT、その IGBT を駆動するゲート回路、保護機能などが内蔵されている。それに加え、内蔵されているゲート抵抗を可変し、IGBT のスイッチング速度(ターンオン/ターンオフ)を可変する機能を持っているものもある。IGBT のスイッチング速度(ターンオン/ターンオフ)を可変する方法として、1 周期前の dv/dt をモニタして、その値によりパワーデバイスのゲート制御を実施するもの(US10840904)や、モータに流れる電流をモニタして、同様の制御を実施するものが知られている。

2. 先行技術の問題点

先行技術では vd/vt を計測するためにコンデンサや抵抗、電圧検出回路が必要となり、回路規模が増加する。

3. 今回の発明の詳細

(1)先行技術との相違点

先行技術の中では、PWM 入力信号(ON 時間)に着目した技術は無く、モーターに流れる電流 $\Rightarrow$ PWM 入力信号 ON 時間と捉えた上で、この ON 時間に応じてパワーデバイスの ON 時間を制御するという制御ルーチンを提案する。

この方法であれば、制御 IC 内で検知し、ゲート制御を実施するため IPM 製品外に追加回路も不要となり、簡易な方法でモーターに流れる電流に応じて、SW ノイズ及び SW 損失を設定した動作で制御が可能にできる。

(2)発明の具体例

図 1 は本提案の IPM を使用した 3 相モータ駆動の概略ブロック図である。

この図に示す IPM はゲート駆動回路、スイッチング素子の他、過負荷状態等が発生した際に動作を停止させる保護機能と、本提案にかかる、ゲート抵抗選択回路、ゲート抵抗(可変)で構成される。この回路において、MCU 等の制御装置からモータを駆動するための信号が入力されると、ゲート回路で IPM 内のスイッチング素子を駆動する信号に変換され、その信号にしたがい、モータに駆動電流を供給する。

図 2 は本提案の前提となる関係を簡単に示したものである。

図 1 に示す IPM は MCU から ON 信号が入力された時間だけ、内部のスイッチング素子をオ

ンし、モータに駆動電流を供給する。したがって、図 2 に示すように、1 周期の中で、ON 信号の時間が長いほど、モータに流れる電流は大きくなる。

一方、大電流を供給できるスイッチング素子を高速に ON/OFF させようとする、SW ノイズが発生するため、スイッチング動作時間の制御が必要となってくる。

本提案では、図 2 に示す関係を利用し、スイッチング動作時間の制御を行う。

＜実施形態 1＞

図 3 は本提案の実地形態の一例となる回路ブロックの一例となる。

図 3 に示すように、本実施形態は回路 IPM に入力される駆動信号のアップエッジ、ダウンエッジを検知するエッジ検知ブロック、クロックブロック、カウンタブロック、カウント数に従い、ゲート抵抗の変更指示をする判定ブロックで構成される。

次に本実施形態の制御の流れについて図 4 を用いて説明する。

エッジ検知ブロックは MCU から IPM の各相への駆動信号をモニタしており、駆動信号のアップエッジを検知すると、クロック信号の出力を開始する。

その後、同じ駆動信号のダウンエッジを検知すると、クロック信号の出力を停止させる。

カウンタブロックはクロックが停止した時点でのカウント数を判定ブロックに送付し、カウンタブロックのカウント数を 0 にリセットする。判定ブロックは取得したカウント数により、次のサイクルの駆動時のゲート抵抗値を変更する。

カウント数が小さい場合(例えば 5 回未満)は抵抗値を高く切り替え次回のゲートドライブを低速動作させる。カウント数が中程度(例えば 5 回以上 15 回未満)は標準値として次回のゲートドライブを通常動作させる。カウント数が多い場合(例えば 15 回以上)は抵抗値を低く切り替え次回のゲートドライブを高速動作させる。

＜実施形態 2＞

図 5 は本提案の実地形態の一例となる回路ブロックの別の一例となる。

図 5 に示すように、本実施形態は回路 IPM に入力される駆動信号のアップエッジ、ダウンエッジを検知するエッジ検知ブロック、ワンショットパルス生成ブロック、ゲート抵抗の変更指示をする判定ブロックで構成される。

次に本提案の制御の流れについて図 6 を用いて説明する。

検知ブロックは MCU から IPM の各相への駆動信号をモニタしており、駆動信号のアップエッジを検知すると、ワンショットパルスが生成され、判定ブロックに向け出力される。

ワンショットパルス生成ブロック内には 2 種類のワンショットパルスを生成する回路が入っており、長いパルスの幅と短いパルスの幅が出力される。判定ブロックは入力信号と 2 つのワンショットパルス信号のレベルを比較し、次のサイクルの駆動時のゲート抵抗値を変更する。

入力信号がダウンエッジ(=駆動 OFF)になった時点で、短いワンショットパルス、長いワンショットパルスともに”H”レベルの場合は抵抗値を高く切り替え次回のゲートドライブを低速動作させる。短いワンショットパルスは”L”、長いワンショットパルスは”H”レ

べルの場合は標準値として次回のゲートドライブを通常動作させる。短いワンショットパルス、長いワンショットパルスともに” L” レベルの場合は抵抗値を低く切り替え次回のゲートドライブを高速動作させる。

4. 図面

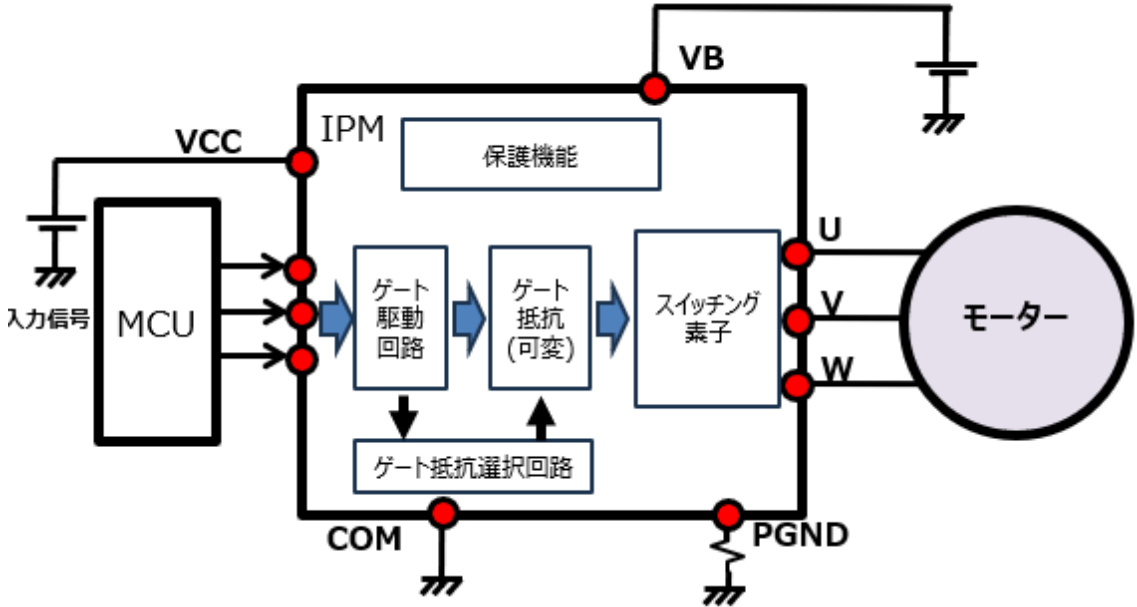


図 1：本提案の IPM を使用した 3 相モータ駆動回路

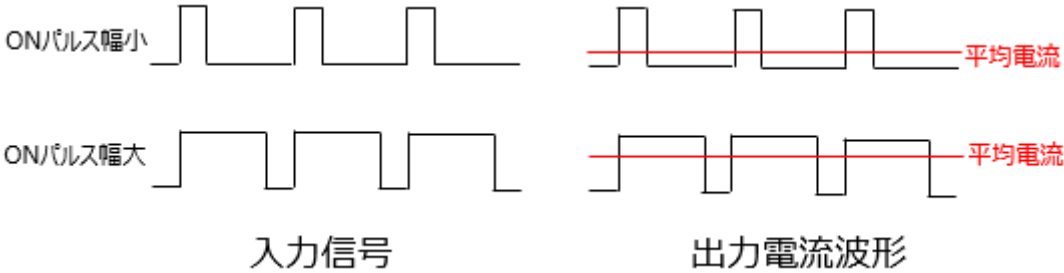


図 2：駆動入力信号と出力電流の関係

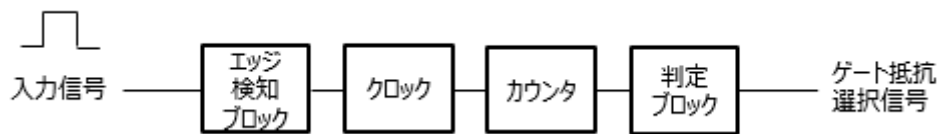


図 3：実施形態 1 におけるゲート抵抗選択回路ブロック

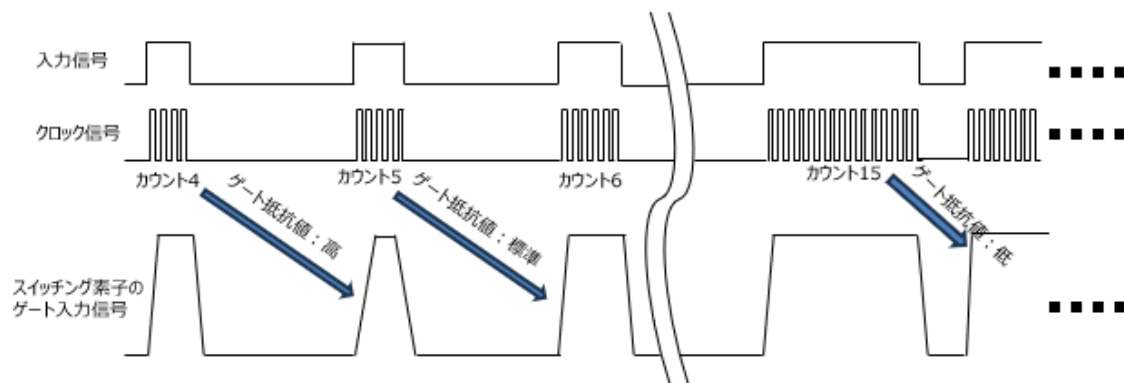


図 4：実施形態 1 の制御の流れ

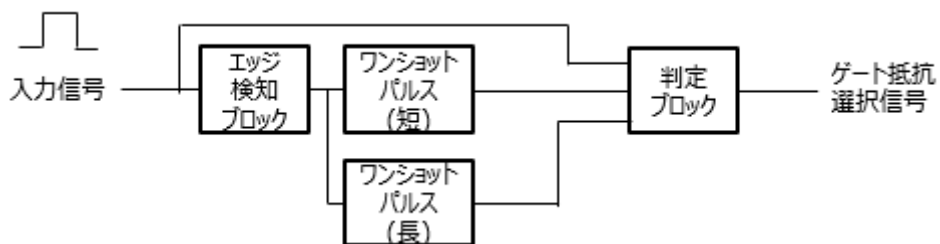


図 5：実施形態 2 におけるゲート抵抗選択回路ブロック

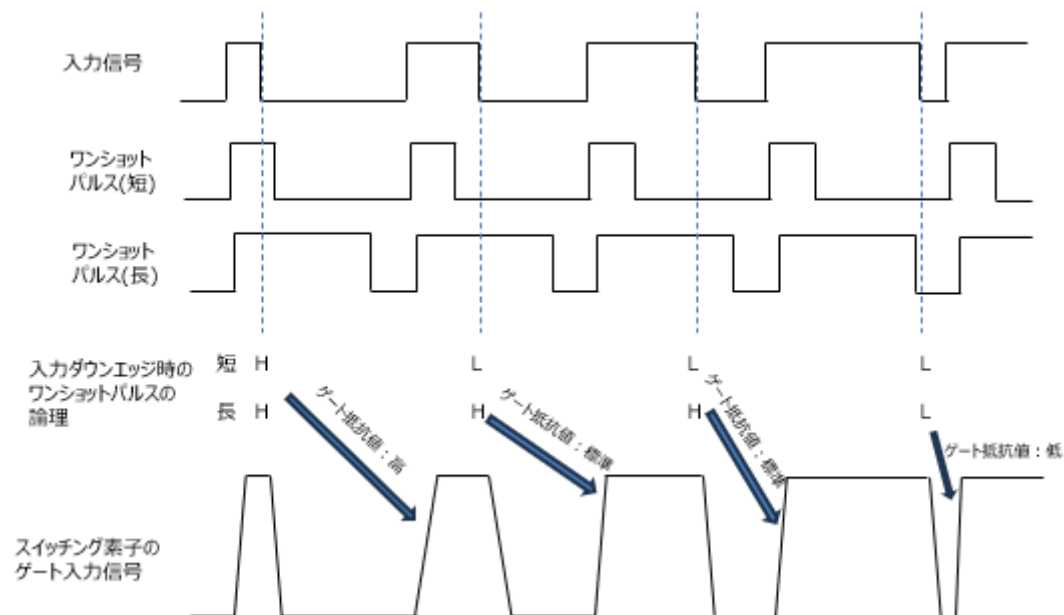


図 6：実施形態 2 の制御の流れ

【社内整理番号】 2025-112

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 井手 琢二、島田 隆之介

【発明の名称】 レーザ照射範囲拡大溶接端子構造

【技術の詳細】

1. 類似する先行特許

【先行技術】 特開 2015-119072

レーザ溶接時に被加工物を押さえ（爪・治具）で固定しながら溶接する技術が開示されている。この技術では、溶接中の部材位置ずれを抑制し、溶接品質を向上させることができる。

2. 先行技術の問題点

先行技術では、押さえ面とレーザ照射面が同一面上に存在するため、溶融範囲が押さえ部に接触すると、押さえとリードフレームが固着する恐れがあり、溶融部が押さえ部に接触しないよう離して配置する必要がある。このため、レーザ照射可能範囲および溶接範囲が制限され、接合面積および接合信頼性を高めるうえで制約となる。また、必要な接合面積を確保しようとする、被加工物を大きくする必要があり、パッケージの小型化を妨げる可能性がある。

3. 今回の発明の構造

（1）先行技術との相違点

リードフレームに段差構造を設け、押圧爪と接触する押さえ部と、レーザ照射が行われる照射部とを高さ方向で分離した点に特徴がある。これにより、押さえ部と溶融部とを高さ方向で分離することで、平面方向には近接配置できる。その結果、従来構造と比較してレーザ照射範囲を拡大でき、より広い溶接範囲を確保できる。

（2）メカニズム

従来は、図 3 に示すように、押さえ部 6 と溶融部 3 が同一高さの面上に存在するため、溶融部 3 が押さえ部 6 に接触しないよう、溶接範囲 5 の端部から押圧爪 1 までの距離 D を確保したうえで、レーザ照射をする必要があった。

本発明では、端子表面に段差部 7 を設けることで、上面を押さえ部 6、凹部底面をレーザ照射部 8 として機能分離している。このため、押さえ部 6 との干渉を回避しながらレーザ照射位置を押さえ部 6 近傍まで近づけることができ、溶融範囲および溶接範囲を拡大することができる。

（3）発明の具体例（最適実施例）

図 1（a）は本発明の基本構造の平面図、図 1（b）は A - A' 断面図、図 1（c）は B - B' 断面図である。リードフレーム 2 は段差部 7 が形成されており、押圧爪 1 と当接する押さえ部 6 と、溶接が施されるレーザ照射部 8 とを有し、押さえ部 6 とレーザ照射部 8 との段差 H 1 を設ける。レーザ照射部 8 が段差 H 1 だけ押圧爪 1 から離隔しているため、溶融部 3 は押圧爪 1 から厚さ方向に離れた位置に形成される。

図 2 は図 1 の変形例である。リードフレームの一部のみをへこませる構成ではなく、プレス加工にて所望の段差構造を形成しても良い。これにより製造容易性が向上できる。また、図 2（d）、図 2（f）に示すように、基板 4 にも対応する段差を形成することで、リードフレーム 2 との位置決めが容易となり、位置決め精度を向上させることができる。さらに、図 2（e）、図 2（f）のようにリードフレーム 2 と基板 4

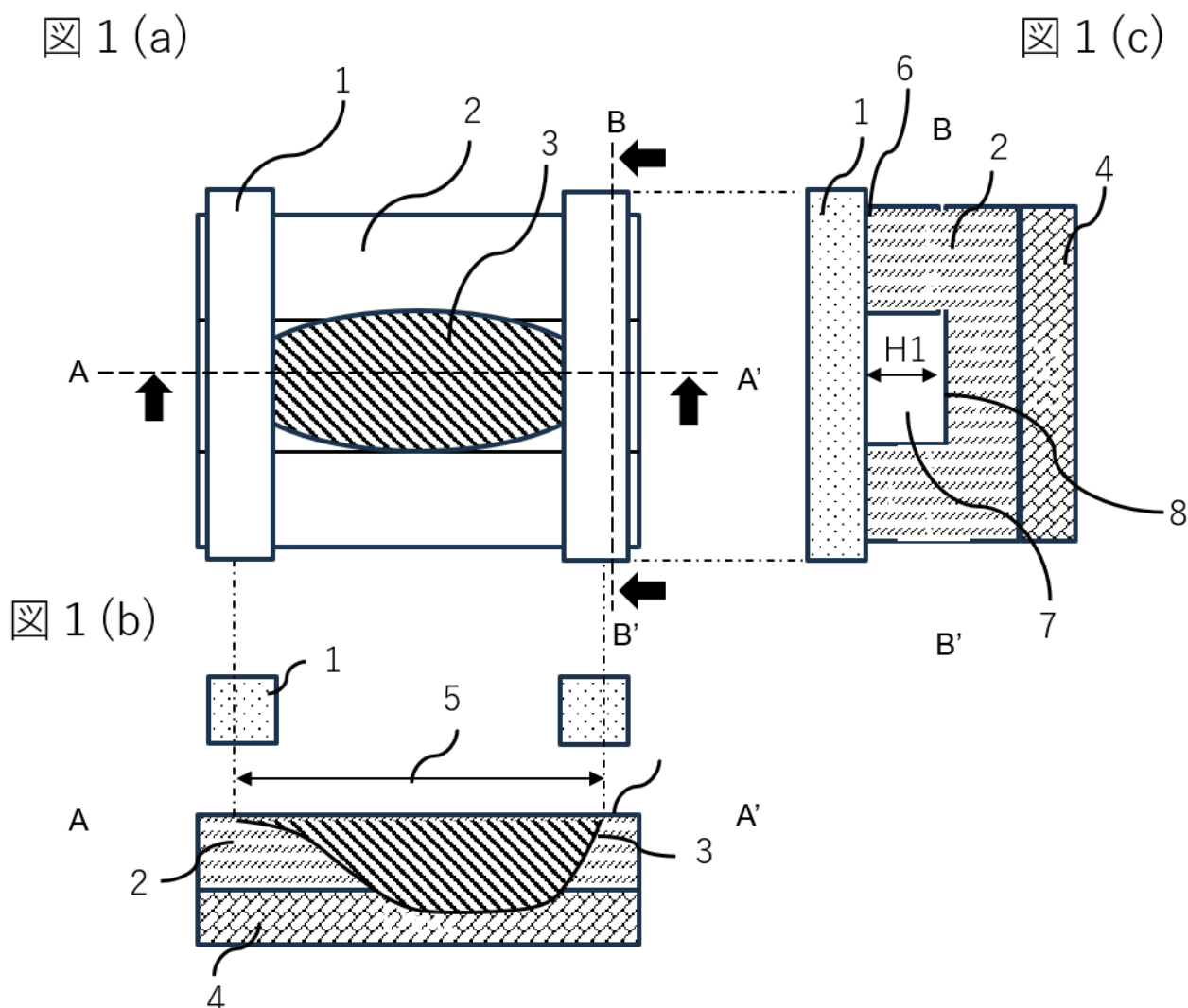
との間に接合材 10 を介した場合、接合材 10 の厚み制御が可能になり、例えば、リードフレームの段差 H 1 を $200\mu\text{m}$ 、基板の段差 H 2 を $150\mu\text{m}$ とした場合、接合材 10 の厚みを $50\mu\text{m}$ に制御できる。このように構成することで、レーザ照射範囲の拡大、溶接範囲の拡大、接合信頼性向上、および接合材厚制御を実現できる。

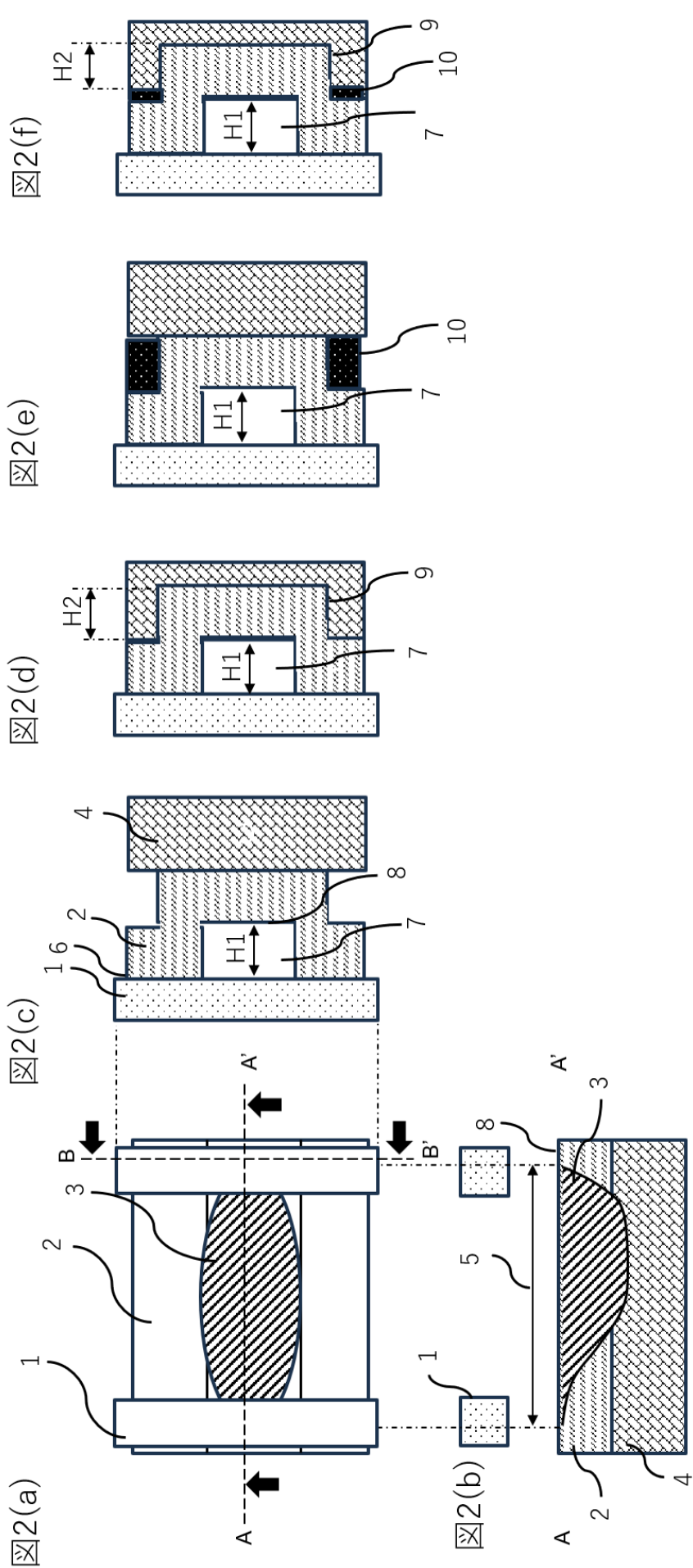
【符号の説明】

1…押圧爪、2…リードフレーム、3…溶融部、4…基板、5…溶接範囲、6…押さえ部、
7…リードフレーム側段差部、8…レーザ照射部、9…基板側段差部、10…接合材、
D…溶接範囲末端から押圧爪までの距離、H 1…リードフレーム側段差高さ、H 2…基板側段差高さ

(4) 図面

【図 1】





【図3】

図3(a)

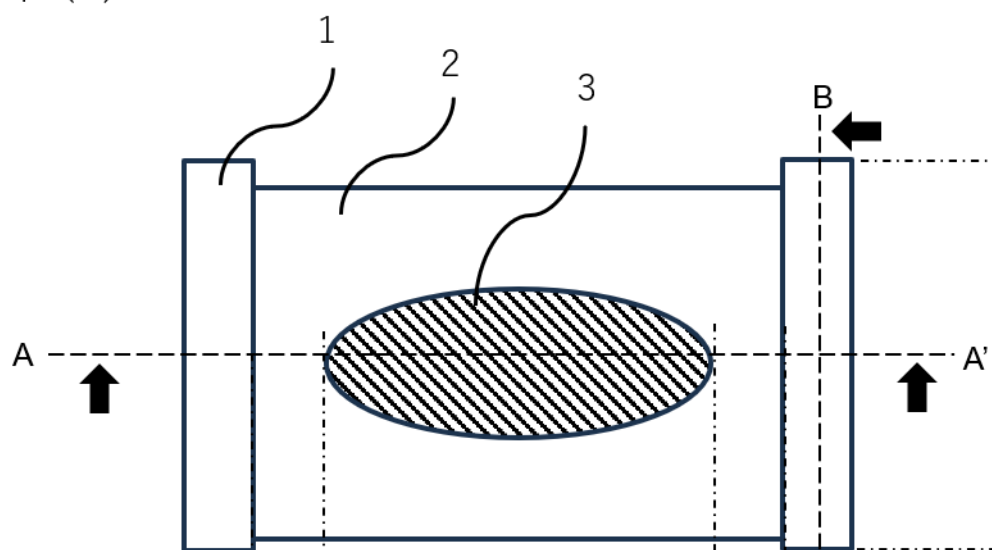


図3(c)

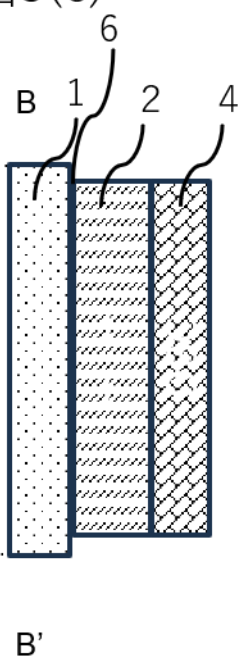
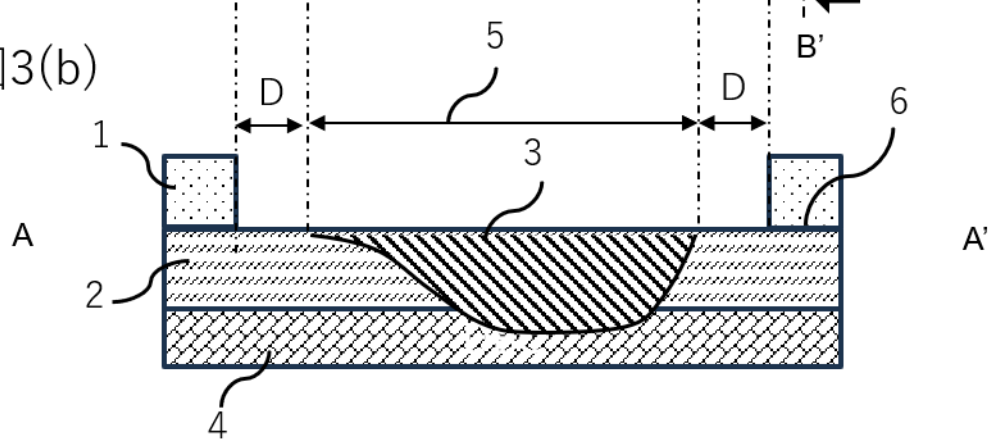


図3(b)



以上。

【社内整理番号】 2025-153

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 紀 敦

【発明の名称】 導体パターン間のマイグレーション進展を抑制する構造

【技術の詳細】

1. 先行技術の構造・構成、製法、回路作などの説明

パワーモジュールに用いられる絶縁基板としては、DBC (Direct Bonded Copper) 基板が広く用いられている。特に産業用途では、長期信頼性、耐湿性、耐硫化性が要求され、導体パターン間の絶縁劣化、特にイオンマイグレーションが主要な故障モードの一つとなっている。従来、マイグレーション抑制のために、導体パターン間距離の拡大、表面コーティング、Ni めっきなどが行われてきた

2. 先行技術の問題点

上記で記載したいずれの方法も、膜欠陥や硫化環境に対する弱点を有していた。

3. 今回の発明の詳細

(1) 先行技術との相違点

先行技術で記載した、導体パターン間距離の拡大、表面コーティング、Ni めっきという方法ではなく、導体間のセラミックが露出している部分に点線状に配置した溝を形成する。溝は複数本形成し、それにより、マイグレーション経路が多段屈曲化され進展速度を低下させることができる。

(2) 発明の具体例

図 1 は従来技術における課題を示す図となる。

従来技術ではこの図に示すように Al_2O_3 に代表される絶縁基板上に銅配線を配置し、その上部に搭載される半導体チップ間の電気経路を構築する。この時、陽極に接続される配線と、陰極に接続される配線が隣り合って配置されると、長期間動作する間に配線間にマイグレーションが発生し、絶縁性の劣化を引き起こす。

対策としては、配線間隔を広げる等のパターン設計の工夫や、コーティング用の封止膜を塗布し水分、外部イオンの侵入を防止、洗浄による残留イオンの除去等が一般的だが、いずれも膜欠陥や硫化環境に対する弱点を有していた。

＜実施形態 1＞

本提案における実施形態の一例を図 2 に示す。

本実施形態では図 2 に示すように、絶縁性セラミック基板上の導体パターン間に、点線状に配置された複数本の凹部（ざぐり）を形成する。例えば、パターン間距離が 0.5 mm とした場合に、Cu エッジから最も近い凹部中心までが 0.10～0.15 mm、凹部同士の中心間距離が 0.15～0.20 mm の溝を、パターンに平行に 2 本配置する。この時、凹部の深さは 0.10～0.15

mm、幅は 0.05～0.07 mm とする。また、凹部の断面形状は、凹部の端部から中心に向けて徐々に深くなる V 字形状や、ある曲率半径を有する U 字形状とする。

そして、凹部の長さ方向は一定の長さで区切る点線状とするが、導線パターン間が平面にならないよう、2 本の凹部は異なる位置で区切られるレイアウトとする。

このような構成にすることで、以下の効果が期待できる。

- ・点線状の複数凹部によりマイグレーション経路が多段屈曲化され、進展速度が大幅に低下する。

- ・凹部が段差として働き、硫化膜 (Cu_2S) の連続成長を阻害する。

- ・凹部を点線状とすることで基板強度低下を抑制できる。

<実施形態 2>

本提案における実施形態の別の一例を図 3 に示す。

図 3 では実施形態 1 の構成の上部にジメチルシリコーンを母材とする封止ゲルを充填した構成となっている。ここで、封止ゲルは球状のフィラーを含有する。含有するフィラーは窒化アルミニウム (AlN)、酸化アルミニウム (Al_2O_3)、酸化ケイ素 (SiO_2)、窒化ホウ素 (BN) 等熱伝導性に寄与する物質であればよい。

このような構成にすることで、含有したフィラーにより熱伝導性が向上し、ガス透過性が低減される。

<実施形態 3>

本提案における実施形態の別の一例を図 4 に示す。

図 4 では実施形態 1 の構成において凹部の底面にガラスコート層を形成する。また、導体パターン端部に Ni 部分メッキを施す。

導体パターン端部の Ni 部分メッキにより、硫化起点の抑制効果がある。

4. 図面

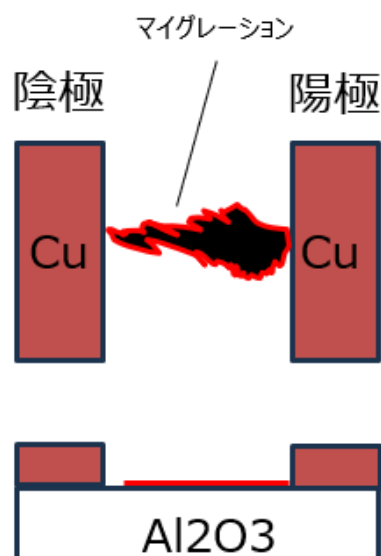


図 1：先行技術におけるマイグレーション発生イメージ

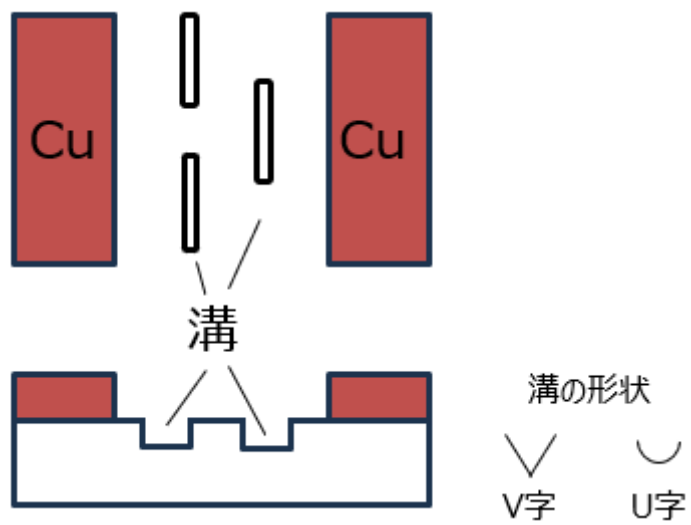


図 2：本提案の実施形態 1

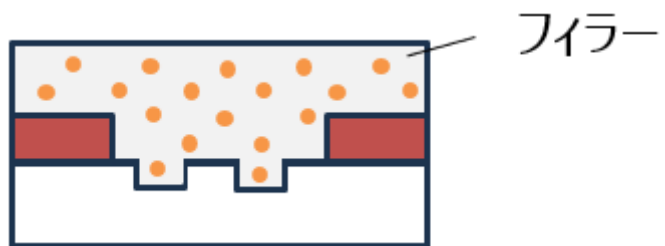


図 3：本提案の実施形態 2

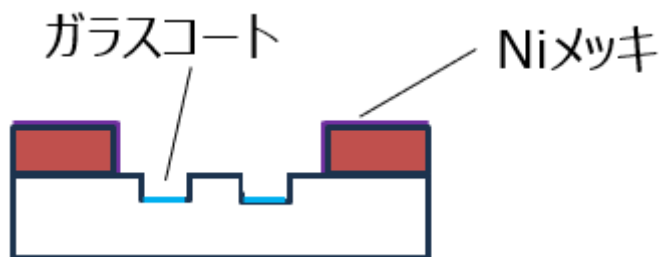


図 4：本提案の実施形態 3

以上

【社内整理番号】 2026-015

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 井上 隆

【発明の名称】 モータ制御における OFF 動作時 UVLO 機能を用いた放電機能

【技術の詳細】

1. 先行技術の構造・構成、製法、回路作などの説明

モータを駆動するための IPM(Intelligent Power Module)製品では、通常モータを駆動するための電圧が供給される電源端子(VBB)と、IPM 内の制御回路を動作させるための弾圧が供給される電願端子(VCC)が存在する。ここで VCC に供給される電圧が低下すると、モータを駆動するパワーデバイスの特性が低下してきてしまう。パワーデバイスが十分な特性ではない状態で動作をさせると不具合が発生する可能性があるため、VCC の電圧が規定値を下回ると IPM に搭載されているパワーデバイスをすべて OFF 動作させる機能(UVLO)を搭載されている。

2. 先行技術の問題点

VCC の電圧が低下するモードとしては VCC に供給する電源の不具合や電源と VCC 間の配線の断線等、不可逆的な電圧低下を起こすモードの他に、負荷の一時的な急増や、電源動作が不安定になることで、ごく短時間電圧が低下して、復帰するモードがある。(瞬低等)

従来の UVLO の機能としては 1. で述べたようにすべてのパワーデバイスを OFF にするため、その時点でモータに残存していたエネルギーはすぐには放出されずにある時間かけ、徐々に放出される。

ここで、上記で述べた 2 番目のモードのように、短時間の低下の後電圧が復帰すると、再度モータの駆動が再開される。しかし、通常の起動とは異なり、モータにある程度のエネルギーが電圧の形で残っていると、想定外の電圧が印可され、モータの誤動作やパワーデバイスの劣化・故障につながる可能性がある。

3. 今回の発明の詳細

(1) 先行技術との相違点

先行技術の問題を防ぐには、VCC への印可電圧が低下し、UVLO が機能した場合に、速やかにモータ内のエネルギーを放出することにある。

そこで、先行技術では 1 つであった UVLO のしきい値を 2 つ(UVLO1、UVLO2)持たせることにする。その上で一つ目のしきい値 UVLO1 ではハイサイドのパワーデバイスは OFF するが、ローサイドのパワーデバイスは ON させる制御をとる。これにより、VCC の電圧が低下した際に速やかにモータの残存エネルギーを短時間で放出し、瞬低の場合でも復帰時に不具合等が発生しないようにできる。

(2)発明の具体例

図1は本提案のIPMを使用した3相モータ駆動の概略ブロック図である。

この図に示すIPMはゲート駆動回路、スイッチング素子の他、保護機能で構成され、本提案に係るUVLOは保護機能のひとつとして含まれている。この回路において、MCU等の制御装置からモータを駆動するための信号が入力されると、ゲート回路でIPM内のスイッチング素子を駆動する信号に変換され、その信号にしたがい、モータに駆動電流を供給する。

図2は本提案におけるUVLO回路とゲート駆動回路部の実施形態の構成の一例を示した図となる。

この図に示す実施形態ではUVLO回路は2つの基準電圧源とコンパレータ、抵抗で構成される。VCCの電圧値は2つの直列抵抗(R1、R2)により抵抗分割され、2つのコンパレータ、COMP1、COMP2に入力される。COMP1、COMP2は各々基準電圧源UVRE1、UVRE2が接続されている。UVRE1は第1のUVLOしきい値UVLOTH1、UVTH2は第2のUVLOしきい値UVLOTH2でコンパレータの出力が切り替わる電圧値に設定してある。そしてUVLO1で動作するCOMP1の出力は出力のスイッチング素子の両方の駆動回路に、UVLO2で動作するCOMP2の出力はローサイドのスイッチング素子の駆動回路に接続される。

図3(A)、(B)は本実施形態におけるハイサイド、ローサイドの駆動回路の一例を示す。

この図に示すようにハイサイドはハイサイドのスイッチング素子の駆動信号HinとUVLO1、ローサイドはローサイドのスイッチング素子の駆動信号LinとUVLO1、UVLO2の組み合わせでおのおののスイッチング素子の駆動信号が生成される。

次に図4(A)から図4(D)を用いて本実施形態においてVCCが低下した時の動作を説明する。ここで図4(A)と図4(B)はハイサイドがON、ローサイドがOFFの状態でVCCが低下した場合、図4(C)と図4(D)はハイサイドがOFF、ローサイドがONの状態でVCCが低下した場合を示す。

ここで図4(A)、図4(B)を用い、ハイサイドがON、ローサイドがOFFの状態でVCCが低下した場合を考える。まず、図4(A)を用い、VCCが0Vまで低下することを考える。

図4(A)の一番上の波形のようにVCCが低下した場合、ハイサイドのスイッチング素子の駆動信号HGはVCCが低下するとともに低下していく。そして、最初のUVLOしきい値UVLOTH1を下回ると、COMP1の出力UVLO1の出力が”L”に切り替わる。すると、図3(A)に示した論理回路によりHGは”L”に切り替わる。一方ローサイドのスイッチング素子の駆動信号LGは、図3(B)に示した論理回路により”H”に切り替わる。この時、ハイサイド、ローサイド同時ONにより短絡電流が流れることを防止するため、ある時間遅延(デッドタイム)させてLGはONに切り替わる。デッドタイムは例えば5us以下の値をとる。HGが”L”、LGが”H”になることで、VCCがUVLO1を下回る時点でモータに蓄えられていたエネルギーはローサイドのスイッチング素子を通り、速やかに放出される。その後VCC

がさらに低下し、2 番目の UVLO しきい値 UVLOTH2 を下回ると、COMP2 の出力 UVLO2 が”L”に切り替わる。すると、ローサイドのスーイング素子の駆動信号 LG が”L”に切り替わり、回路動作は完全に停止する。

次に、本提案を考えるにあたり、課題となった瞬低時の動作を考える。図 4(B)において図 4(A)と同様に VCC が低下し、最初の UVLO しきい値 UVLOTH1 を超えたところでは、上記と同じ動作をし、HG が”L”、LG が”H”となる。その後、VCC が 2 番目の UVLO しきい値 UVLOTH2 まで低下せずに上昇した場合、従来技術の UVLO の動作ではハイサイド、ローサイドのスイッチング素子が両方遮断されており、モータに残存したエネルギーが放出されないまま、モータが起動されるため、異常動作につながる可能性がある。一方本提案の実施形態では、この図のように UVLOTH1 を下回ると LG が”H”となり、モータの残存エネルギーを速やかに放出するため、瞬低により、VCC が短時間で復帰してもモータの起動の際に残存エネルギーは存在せず、安全にモータが起動される。

次に図 4(C)、図 4(D)を用い、ハイサイドが OFF、ローサイドが ON の状態で VCC が低下した場合を考える。図 4(C)を用い、VCC が 0V まで低下することを考える。この場合、最初の UVLO しきい値 UVLOTH1 を下回り、COMP 1 の出力 UVLO1 の出力が”L”に切り替わると HG の論理は”L”で変わらない。一方、LG の論理は図 3(B)の論理回路により”L”に切り替わる。この時、ハイサイドはすでに”L”であるため、短絡動作防止のための時間遅延(デッドタイム)は不要であり、LG の論理は即座に”L”にできる。これらの動作により UVLOTH1 を下回った時点で回路動作が停止するため、その後 VCC がさらに低下し、2 番目の UVLO しきい値 UVLOTH2 を下回った時も回路は停止したままとなる。。

ハイサイドが OFF、ローサイドが ON の状態での瞬低時の動作を考える。図 4(D)において図 4(B)と同様に VCC が低下し、最初の UVLO しきい値 UVLOTH1 を超えたところでは、上記と同じ動作をし、HG が”L”、LG も”L”となる。ハイサイドが OFF、ローサイドが ON の状態では、モータにはエネルギーは残存していないため、残存エネルギーによる再起動時の異常動作のポテンシャルはなく、VCC が再び最初の UVLO しきい値 UVLOTH1 を超えると、ローサイドの駆動信号 LD を”H”に復帰させ起動する。

4. 図面

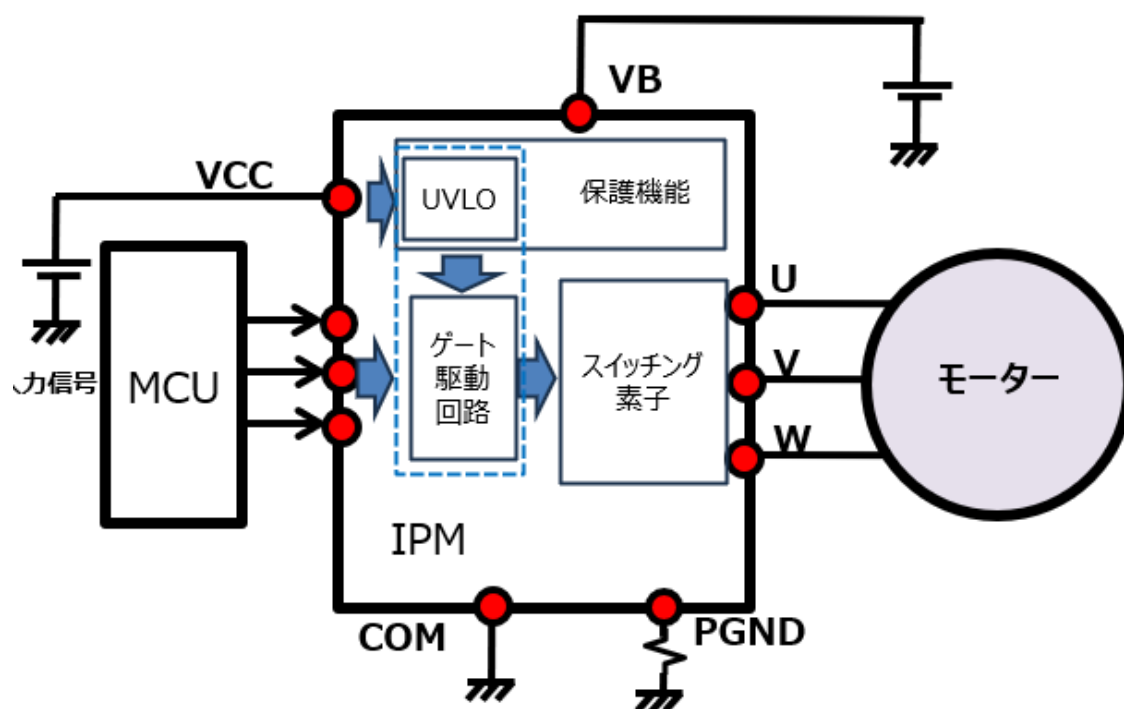


図 1：本提案の IPM を使用した 3 相モータ駆動回路

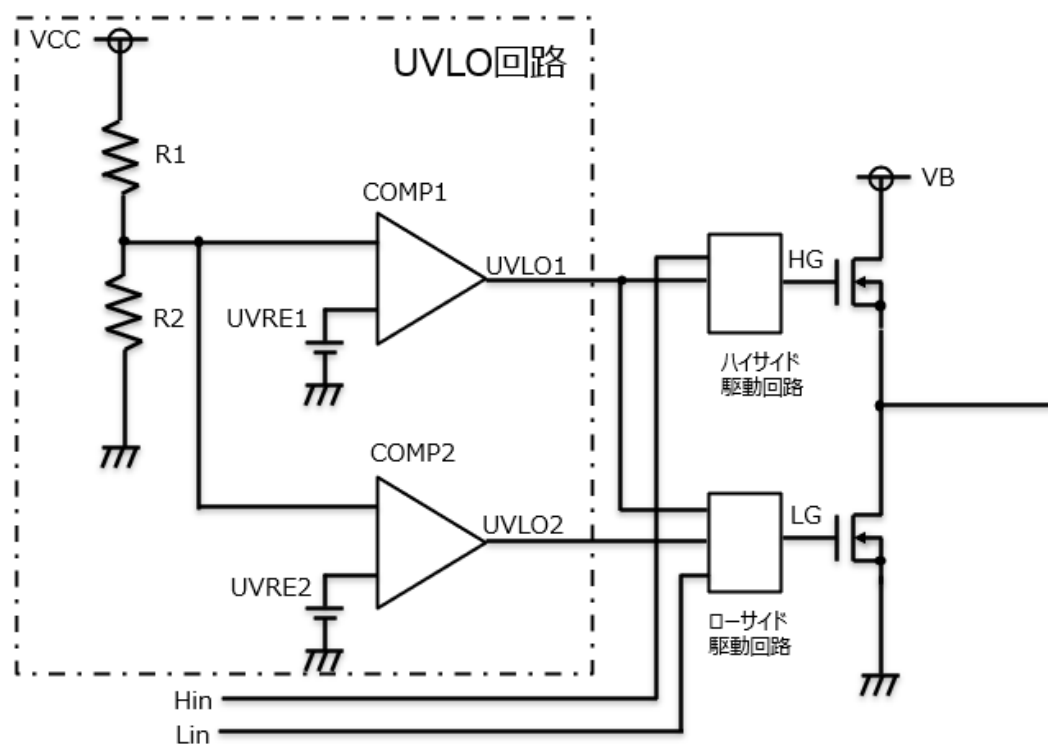
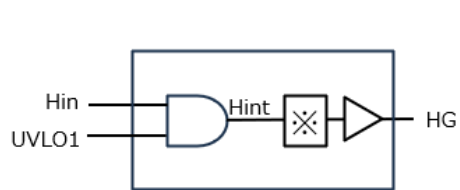
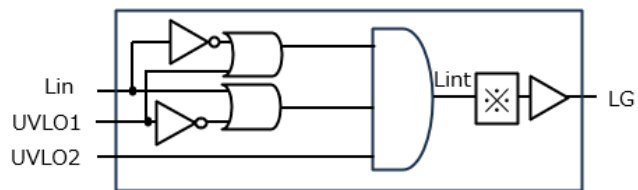


図 2：駆動入力信号と出力電流の関係



ハイサイド駆動回路



ローサイド駆動回路

図3(A)

図3(B)

図 3：実施形態 1 におけるゲート抵抗選択回路ブロック

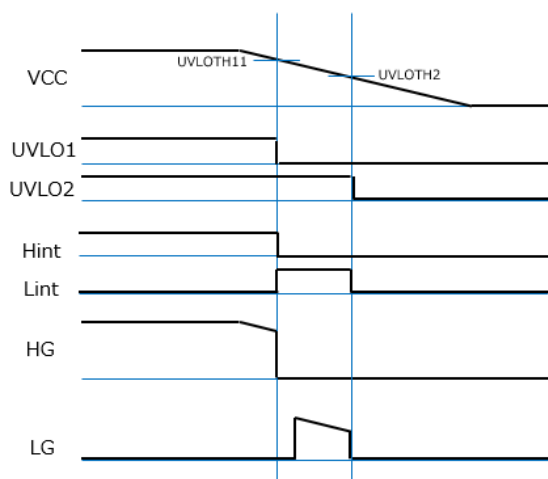


図4(A)

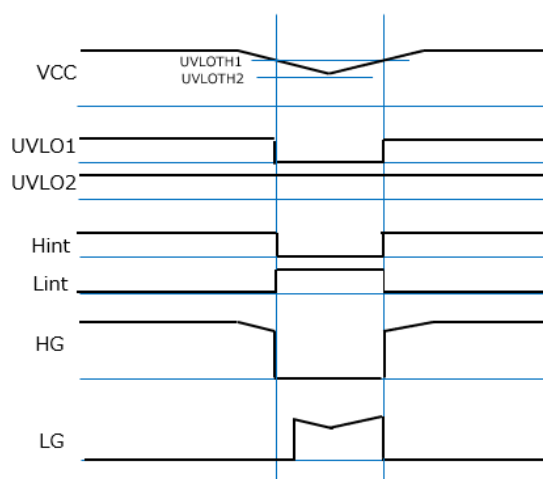


図4(B)

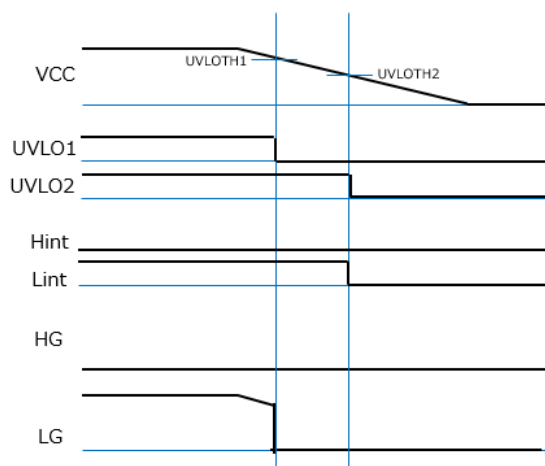


図4(C)

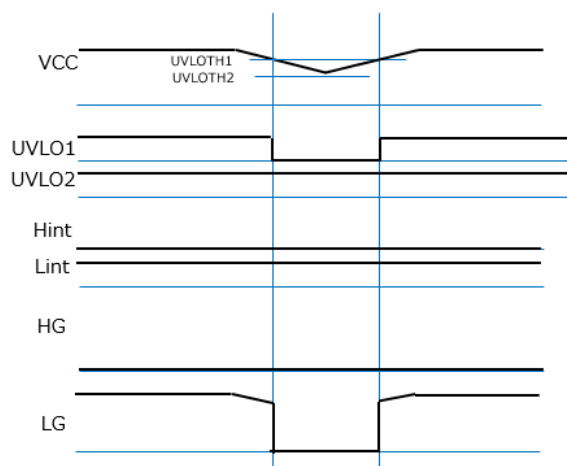


図4(D)

図 4：実施形態 1 の制御の流れ

【社内書式番号】2025-115

【企業名】サンケン電気株式会社

【発明者】八柳俊祐 劉会涛 龍真

【発明の名称】 2段エミッター抵抗

概要

短絡電流が抑制でき、 V_{cesat} を低く抑えられる構造

既存技術の課題

短絡電流を抑制するためエミッタを高抵抗(低濃度)にする。しかしエミッタ全体を高抵抗化すると、エミッタ上部で金属とオーミックが取れなかったり、静特性(V_{cesat})が制限される(高くなる)という問題があった。

発明の内容

P拡散とAs拡散の両方を使い、エミッタ上部を低抵抗(上部を高濃度As拡散)、下部を高抵抗化(低濃度P拡散)する構造とする。Pの拡散係数はAsより大きいので、Pのみではこの構造は作れない。

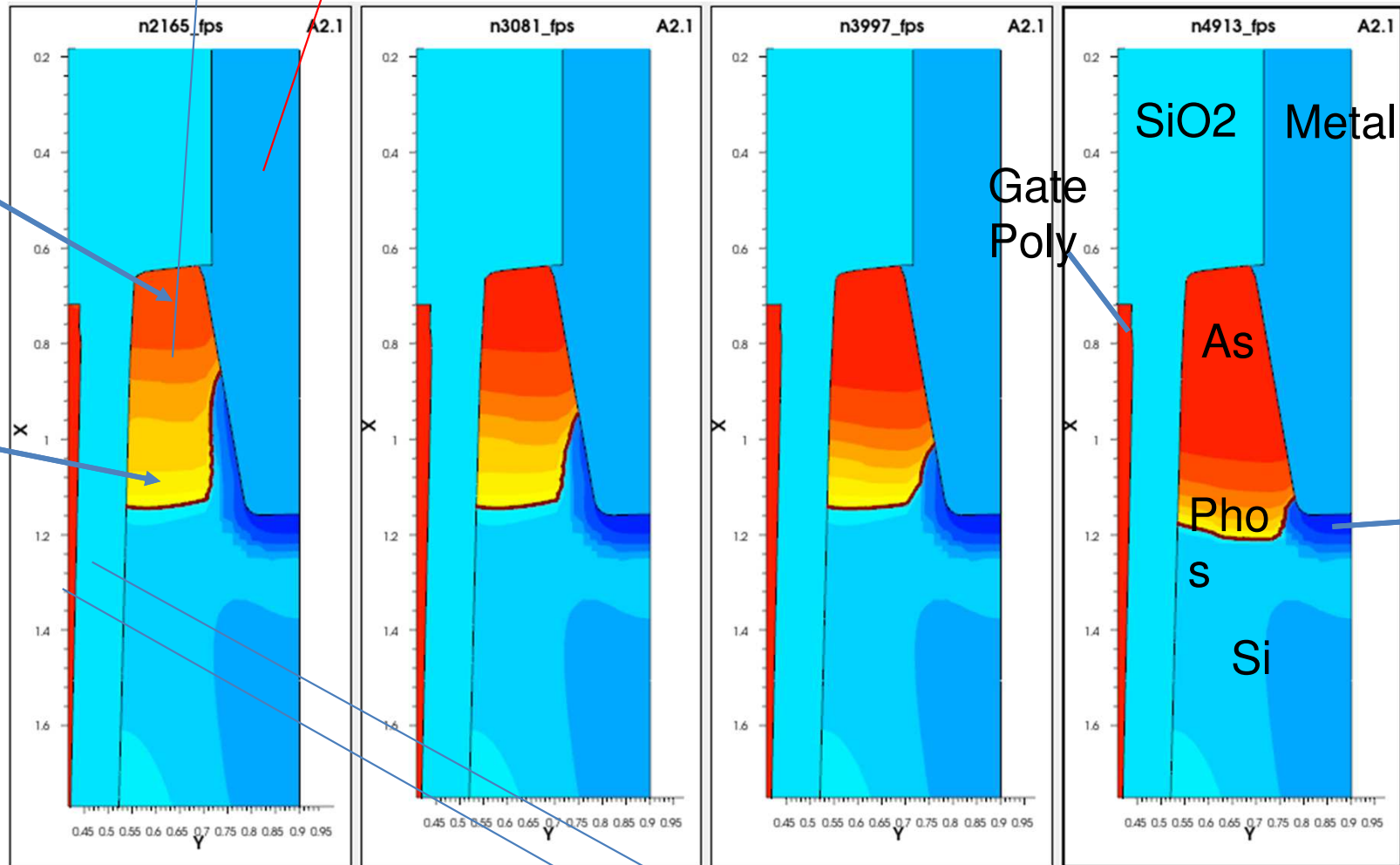
Emitter

Al

上部が高濃度Asの低抵抗部、下が薄いPの高抵抗部。(2段エミッタ抵抗)

As

Phos



2段注入により

- As:浅い深さ 高濃度
- Phos:深い深さ 低濃度

低抵抗のAs拡散部のみが
メタルに接している。

酸化膜
ポリ

【社内書式番号】2025－136

【企業名】サンケン電気株式会社

【発明者】松田成修

【発明の名称】 半導体装置

概要

＜概要＞

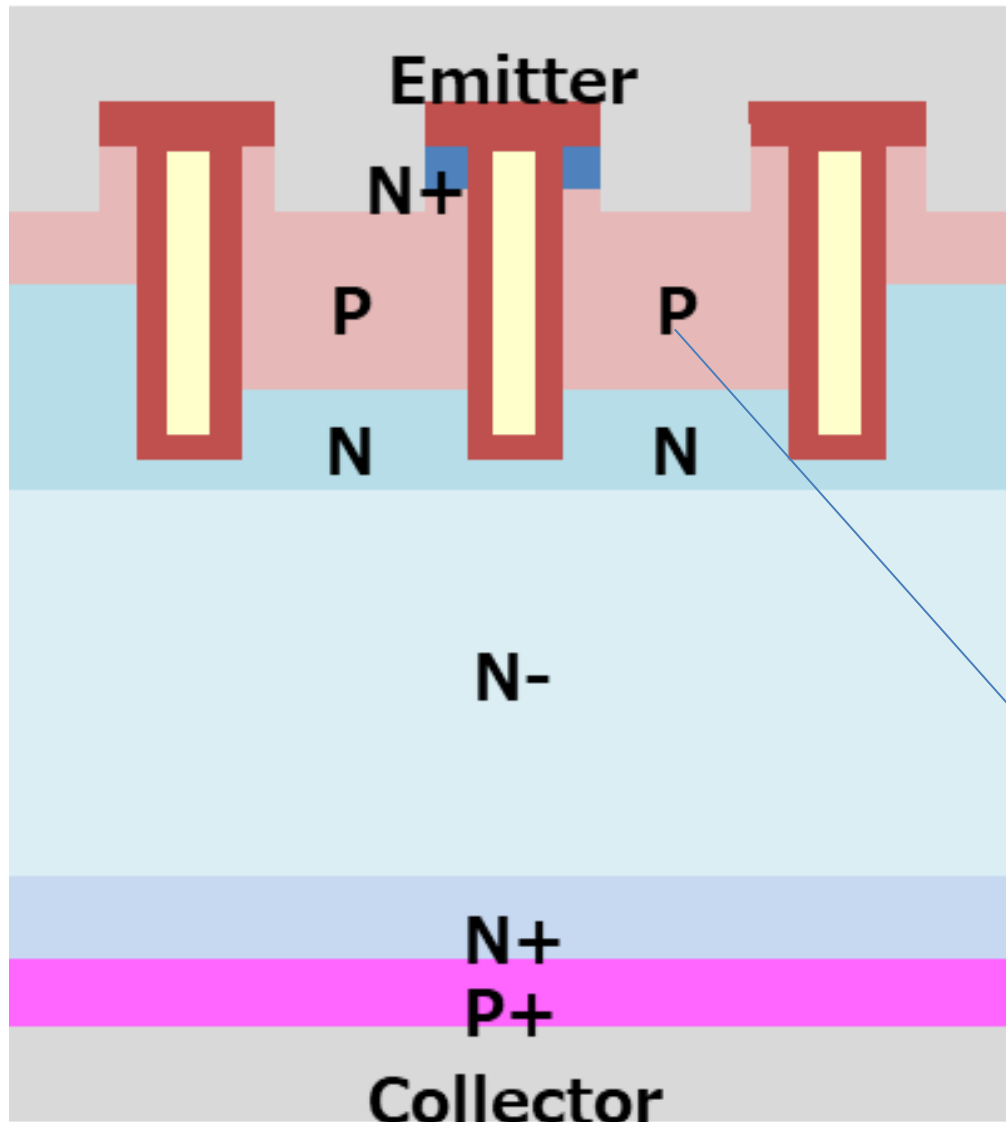
IGBTの短絡耐量を向上するのに、エミッタを有したゲートの周辺のみP型拡散層を深くする構造。

＜背景＞

IGBTにおいては、低コストで短絡耐量を向上できる製法、構造が求められている。

＜発明構造＞

提案する構造は、エミッタを有したゲートの周辺のみP型拡散層を深くし、チャネル抵抗を増やすことで飽和電流を抑制するもの。高難度のプロセスや制御は不要であるため低コストで短絡耐量を向上できる。



発明構造 (デバイス断面図)

エミッタを有したゲートの周辺のみP型拡散層を深くし、チャネル抵抗を増やすことで飽和電流を抑制するもの。高難度のプロセスや制御は不要であるため低コストで短絡耐量を向上できる。

P層を深くする

【社内整理番号】 2025-180

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 木内 博章

【発明の名称】 最適な効率を選択可能な SW 素子構成を持つ電源回路

【技術の詳細】

1. 先行技術の構造・構成、製法、回路作などの説明

DC-DC コンバータでは、負荷電流に応じて、動作させる電力スイッチの数を自動調整することで、動的負荷条件でも最大効率を実現する試みが行われている。動作させる電力スイッチとして、同一仕様の MOSFET を直列接続した構成のスイッチを複数組並列接続し、負荷条件によって駆動させるスイッチ数を増減させる事で最大効率を実現している。

US18/735832

2. 先行技術の問題点

上記のアイデアをフェーズシフト・フルブリッジ方式に適用する場合、各 leg の電流波形が異なるため、leg ごとに最適な 素子の特性が一致しないという課題がある。

また、軽負荷時は導通損よりもスイッチング損失が支配的となるため、負荷条件によって最適な素子特性が変化する。

3. 今回の発明の詳細

(1) 先行技術との相違点

DC-DC コンバータ、フェーズシフト・フルブリッジ回路にて、同一仕様の直列 2 素子ではなく、異なる仕様(電流駆動能力)の素子を複数個並列接続したものを搭載した構成のパワーモジュールとし、負荷状態(重負荷・軽負荷) 出力電圧の変化に応じて最も効率が高くなるよう、並列素子のうち動作させる素子を制御する。

(2) 発明の具体例

図 1 は提案の駆動素子を 1 パッケージのモジュールとして構成した時のフェーズシフト・フルブリッジ回路ブロックの例となる。

本提案のフェーズシフト・フルブリッジ回路は、電源、トランス、トランスの 1 次側コイルにエネルギーを供給するスイッチング素子をまとめたモジュール、スイッチング素子を駆動するゲートドライバ、ゲートドライブ信号を制御するマイコン、スイッチング素子の電流を検知する電流検出回路、2 次側の電圧を整流するブリッジダイオードと 2 次側出力電圧をマイコンに伝達する出力電圧 FB とで構成される。

ここで、スイッチング素子をまとめたモジュールに搭載される駆動素子は、いずれも 2 つの MOSFET が並列に接続した構成となっている。(A1/A2, B1/B2, C1/C2, D1/D2)

ここで A1 と A2、B1 と B2、C1 と C2、D1 と D2 は異なる仕様(チップサイズ違い)の MOSFET

となる。 $(A1 > A2, B1 > B2, C1 > C2, D1 > D2)$ そして、これらの MOSFET のゲートにはゲートドライバからの駆動信号が個別に入力される。

本回路では、負荷が重い場合は並列接続されている 2 個の MOSFET ($A1/A2, B1/B2, C1/C2, D1/D2$) を同時に駆動し、負荷が中程度の場合は並列接続されている 2 個の MOSFET のうちサイズの大きい方 ($A1, B1, C1, D1$) を駆動し、軽負荷の際は並列接続されている 2 個の MOSFET のうちサイズの小さい方 ($A2, B2, C2, D2$) を駆動する。このように動作させることで、軽負荷から重負荷まで、効率よく駆動させることができる。

4. 図面

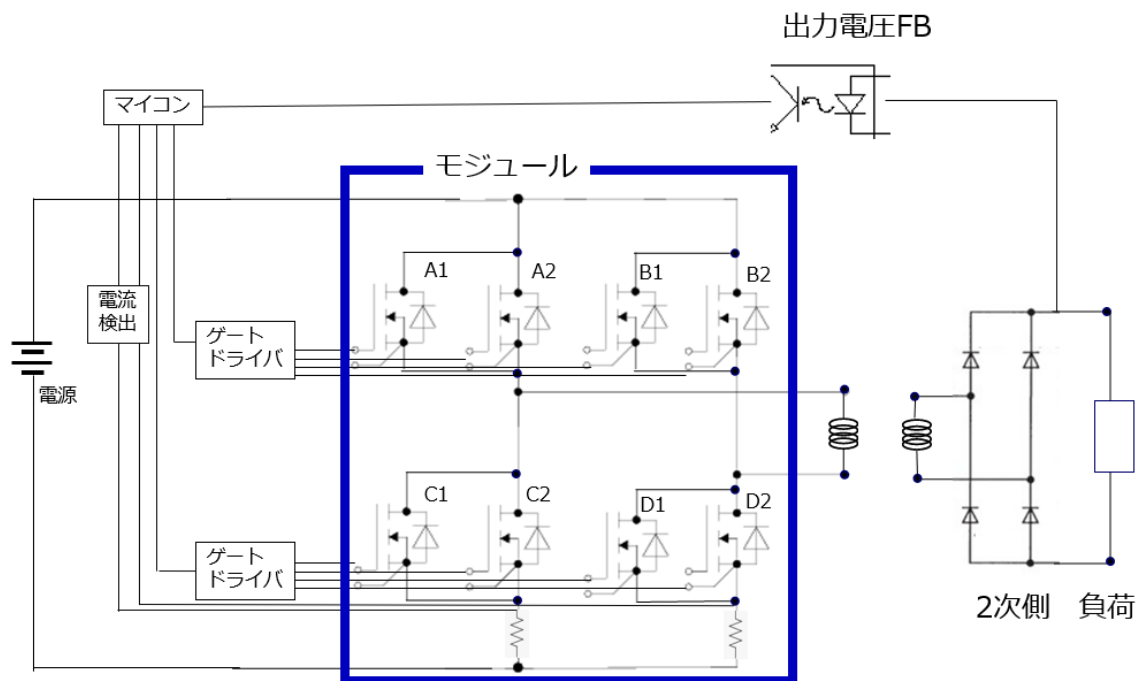


図 1：本提案の実施形態 1

以上

【社内整理番号】 2026-055

【企業名】 サンケン電気株式会社

【住所】 埼玉県新座市北野三丁目 6 番 3 号

【発明者】 佐山 勇二

【発明の名称】 Pch-FET を用いた自己調整型 LED バイパス回路

【技術の詳細】

【背景技術】

日本特許 7408448 号公報には、直列に接続された 4 個の LED を含む LED ストリングに対し、隣接する 2 個の LED を含む被バイパス部分と並列にバイパス回路を設け、バッテリー電圧に応じたバイパス電流をシンクする構成が記載されている。これにより、バッテリー電圧が低下した場合でも、被バイパス部分を減光または消灯させることで LED ストリング全体の消灯を防止し、後方標識灯としての安全性を高めることができる。また、上記特許には、バイパス回路として、入力電圧に応じてトランジスタを制御する構成や、入力電圧に応じた可変電流源を用いる構成が示されており、入力電圧の低下に応じてバイパス電流を増加させ、4 個の LED の出射光量変動を抑制する技術が開示されている。

【発明が解決しようとする課題】

入力電圧に加えて、LED の負荷状態および定電流回路の動作状態を反映する内部状態量に応じてバイパス電流を自己調整的に制御可能とし、簡易な回路構成で制御安定性および応答性に優れたバイパス回路を実現することを目的とする。

【発明の効果】

バイパス電流の変化が LED の順方向電圧変化を介して定電流回路の V_{ds} 変化に反映される構成とすることで、バイパス電流が内部状態に応じて自己調整され、制御の安定性が向上する。また、入力電圧のみならず、LED の V_F ばらつきや温度変動などの影響を含めて補償できるため、光量変動の抑制性能が向上する。また、制御回路や可変電流源を用いず、Pch-FET の特性を利用した構成により、回路の簡素化および部品点数削減が可能となる。また、内部状態に基づくフィードバック的な電流調整により、過渡的な電圧変動に対する応答性が向上する。

【発明の概要】

本発明は、LED ストリングの被バイパス部分と並列に設けられるバイパス回路を、Pch-FET を用いたソース回路で構成した点に特徴を有する。これにより、バイパス電流を単に入力電圧のみに応じて決定するのではなく、入力電圧変動に加えて、定電流回路の V_{ds} 電

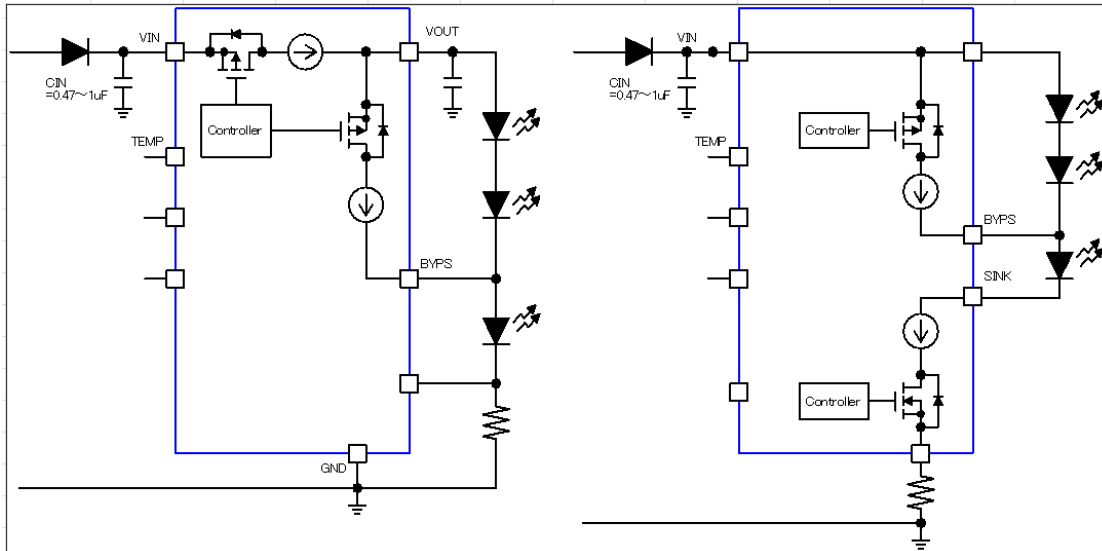
圧の変化を利用して自己調整的に決定することを可能とする。本発明の回路では、バイパス回路と被バイパス部分の LED とが並列関係にあるため、バイパス電流が減少すると、その分だけ被バイパス部分の LED に流れる電流が増加する。LED に流れる電流が増加すると、被バイパス部分の LED の順方向電圧 V_F が上昇する。この V_F の上昇は、LED ストリング全体の電圧降下の増加として現れ、その結果、定電流回路に印加される V_{ds} 電圧は低下する。

すなわち、本発明では、バイパス電流の変化が、被バイパス部分の LED 電流の変化を介して LED の V_F 変化を招き、その V_F 変化がさらに定電流回路の V_{ds} 変化として現れる。そして、Pch-FET を用いたバイパス回路は、この V_{ds} 変化を反映した動作点に応じてバイパス電流を再調整する。これにより、バイパス電流、LED の V_F 、および定電流回路の V_{ds} の間にフィードバック関係が形成され、バイパス回路が自己調整型に動作する。このように、本発明は、入力電圧のみを監視してバイパス電流を制御する構成とは異なり、LED 負荷状態および定電流回路の動作余裕を含む内部状態量を利用してバイパス電流を調整することができる。その結果、入力電圧変動時の光量変動を抑えるだけでなく、LED の V_F ばらつきや温度変化などに対しても、より安定した制御を実現できる。また、Pch-FET を用いたソース回路により、制御回路を簡素化しつつ所望のバイパス電流特性を得られるため、部品点数の削減、回路構成の簡略化、および応答性の向上にも寄与する。

さらに、本発明は、被バイパス部分の電圧変化が定電流回路の V_{ds} に反映され、当該 V_{ds} の変化がバイパス回路の導通量に帰還されることによって、バイパス電流が自己調整される構成として把握することができる。このため、単なる FET への置換ではなく、被バイパス部分、バイパス回路、および定電流回路の相互作用を利用した制御安定化技術として位置付けることができる。

【図面】

【図 1】 従来技術の構成を示す回路図である。



【図 2】 今回の発明の構成を示す回路図である。

